

Ontwerp van een SAR ADC in 65 nm CMOS technologie voor nucleaire toepassingen

Sven JANSEN

Promotor: Prof. Dr. Ir. Paul Leroux

Co-promotor: Dr. Ing. Jeffrey Prinzie

Masterproef ingediend tot het behalen van
de graad van master of Science in de
industriële wetenschappen: Elektronica - ICT
afstudeerrichting Elektronica

©Copyright KU Leuven

Zonder voorafgaande schriftelijke toestemming van zowel de promotor(en) als de auteur(s) is overnemen, kopiëren, gebruiken of realiseren van deze uitgave of gedeelten ervan verboden. Voor aanvragen i.v.m. het overnemen en/of gebruik en/of realisatie van gedeelten uit deze publicatie, kan u zich richten tot KU Leuven Technologicampus Geel, Kleinhoefstraat 4, B-2440 Geel, +32 14 56 23 10 of via e-mail iiw.geel@kuleuven.be.

Voorafgaande schriftelijke toestemming van de promotor(en) is eveneens vereist voor het aanwenden van de in deze masterproef beschreven (originele) methoden, producten, schakelingen en programma's voor industrieel of commercieel nut en voor de inzending van deze publicatie ter deelname aan wetenschappelijke prijzen of wedstrijden.

Dankwoord

Deze thesis is geschreven in het kader van mijn afstuderen aan de opleiding Industriel Ingenieur aan KU Leuven Technolgiecampus Geel. Er wordt verwacht van de studenten een onderzoeksprobleem zelfstandig op te lossen. De onderzoeksvraag die ik heb gekozen omvat het ontwerp van een analoog-digitaal convertor (ADC) voor nucleaire toepassingen. Meer specifiek is het mijn doel een volledige ADC te ontwerpen en vervolgens onderzoek te verrichten hoe het mogelijk is de ADC bestand te maken tegen straling.

Ik heb dit onderzoek mogen verrichten binnen onderzoeksgroep AdvISe. Voor deze opportuniteit zou ik graag mijn promotor Paul Leroux en co-promotor Jeffrey Prinzie hartelijk willen bedanken. In het bijzonder wil ik Jeffrey Prinzie en de onderzoekers van AdvISe nog extra bedanken voor de goede begeleiding doorheen het traject. Het was een gehele nieuwe ervaring en door de weinig beschikbare informatie kwamen er vaak grote problemen en vragen aan bod. Zij hebben mij hier steeds hulp aangeboden en zelfstandig oplossingen leren zoeken.

Als laatste wil ik graag mijn vriendin bedanken voor de morele steun doorheen het Master jaar.

Abstract

Het doel van deze thesis is het ontwerpen van een Successive Approximation Register ADC voor toepassingen die zich bevinden in uitzonderlijke stralingsomgevingen. Het ontwerpen van het circuit zal gebeuren in 65nm CMOS technologie. Later zal dit circuit geïntegreerd worden in een groter geheel van een microchip en zijn dienst bewijzen als analoog-digitaal convertor.

Het eerste hoofdstuk bespreekt de nodige achtergrond van ADC's. Dit inleidende hoofdstuk is zeer belangrijk en nodig voor het begrijpen van de meer technische kennis. Er komt een volledige uitleg over het principe en de verschillende parameters van een ADC. Op het einde van dit hoofdstuk staat een korte introductie en vergelijking van verschillende convertoren.

Het tweede hoofdstuk geeft een meer praktische uitleg en werking over een mogelijke implementatie van een SAR ADC. De principes van een ladingsherverdeling DAC worden aangehaald en besproken. Ook hier is een vergelijking gebeurd tussen verschillende DAC structuren.

Het derde deel van deze thesis beschrijft de belangrijkste component van de SAR ADC. Hier staat een uitvoerige bespreking over de comparator en welke structuur steeds terug komt in ADC's. Dit hoofdstuk bespreekt ook een effectief ontwerp van een comparator met bijhorende simulaties en golfvormen.

Daarna volgt een hoofdstuk over de controle logica. De werking wordt eerst verduidelijkt d.m.v. een finite state machine. Daarna volgt een effectieve implementatie gebaseerd op data flipflips.

Hoofdstuk 5 bespreekt 2 methoden voor een ADC te testen op lineariteit. Eén van deze methoden wordt vaak gebruikt maar vraagt een lange simulatietijd. Daarom wordt in dit hoofdstuk een andere, snellere methode voorgesteld.

Het voorlaatste hoofdstuk beschrijft de implementatie van de volledige ADC. De verschillende componenten uit voorgaande hoofdstukken zullen hier worden geïntegreerd in het totale circuit. Daarna volgen simulaties en worden de behaalde specificaties van de ADC beschreven.

In het laatste hoofdstuk werd onderzoek verricht naar Single Event Effects of SEE's. Zowel de invloed als mogelijke oplossingen voor het elimineren van deze invloed staan hier vermeld.

Inhoudsopgave

Dankwoord	iii
Abstract	iv
Stageplaats	xi
1 Inleiding	1
1.1 Analooq-digitaal conversie	2
1.1.1 Bemonstering	2
1.1.2 Quantisatie	3
1.2 Statische parameters	4
1.2.1 Quantisatieruis	4
1.2.2 Offset en Gain error	5
1.2.3 Differentiële niet-lineariteit	6
1.2.4 Integrale niet-lineariteit	6
1.3 Dynamische performantie	7
1.3.1 Total harmonic distortion	7
1.3.2 Signal-to-noise-and-distortion ratio	7
1.3.3 Effective number of bits	8
1.3.4 Spurious free dynamic range	8
1.4 ADC structuren	8
1.4.1 Flash ADC	8
1.4.2 Delta-Sigma ADC's	10
1.4.3 Successive Approximaging Register ADC's	11
2 Successive Approximation Register (SAR) ADC	13
2.1 Structuur	13
2.1.1 Werking	14
2.2 Comparator	16
2.3 Controle Logica	16
2.4 Digitaal- Analooq convertor	16
2.4.1 Binair Gewogen Condensator-array	17
2.4.2 Twee traps condensator-array met seriecondensator	18
2.4.3 C-2C condensator-array	19
3 Comparator	20
3.1 Performantie	20
3.1.1 Herstellen van overdrive	21

3.1.2	Metastabiliteit	21
3.1.3	Kickback noise	22
3.1.4	Offset	22
3.2	Dynamic Latched Comparator	23
3.2.1	StrongArm comparator	23
3.2.2	Twee traps comparator	25
3.3	Simulaties	26
3.3.1	Snelheid	26
3.3.2	Ruis	30
3.3.3	Vermogen verbruik	32
3.3.4	Conclusie	33
4	Controle Logica	35
4.1	Werking	35
4.1.1	Finite-State Machine	35
4.1.2	D-Flipflop gebaseerde logica	36
5	Systemsimulatie	39
5.1	Histogram test	39
5.1.1	Werking	39
5.1.2	Voorbeeld	40
5.2	Voorgestelde methode	42
6	Implementatie 12-bit SAR ADC	44
6.1	Implementatie SAR ADC	44
6.1.1	Differentiële architectuur	44
6.1.2	Implementatie schakelelementen	45
6.1.3	Doorkoppeling kloksignaal	47
6.2	Performantie	48
6.2.1	Snelheid	48
6.2.2	Lineariteit	49
7	Stralingsinvloed	51
7.1	Single event effects	51
7.2	Stralingseffecten in digitale logica	53
7.2.1	Controle logica	53
7.2.2	Comparator	53
7.2.3	Triple Modular Redundancy	54
7.3	Stralingseffecten in schakelelementen	55
7.3.1	Common-mode schakelaars	56
7.3.2	Differential Charge Cancellation	57
	Besluit	59
	bibliografie	62
	Beschrijving van deze masterproef in de vorm van een wetenschappelijk artikel	63

Lijst van figuren

1.1	Bemonstering van een bandgelimiteerd signaal $x(t)$ in tijds- en frequentiedomein[26]	2
1.2	2-bit kwantisatie[26]	3
1.3	Kansverdeling kwantisatieruis	4
1.4	Transferkarakteristiek ideale ADC (links) kwantisatie error (rechts) [17]	5
1.5	Transferkarakteristiek ideale ADC (links) offset en gain error(rechts) [17]	5
1.6	Transferkarakteristiek ideale ADC (links) integrale en differentiële niet-lineariteit (rechts) [17]	6
1.7	Frequentiespectrum uitgang ADC[17]	7
1.8	Opbouw Flash ADC	9
1.9	Blokschema $\Delta\Sigma$ modulator	11
1.10	Blokschema SAR ADC	12
1.11	Werking SAR algoritme	12
2.1	Ladingsherverdeling ADC	13
2.2	Werking 3-bit Ladingsherverdeling ADC	15
2.3	Binair gewogen condensator-array	18
2.4	DAC met seriecondensator	18
2.5	C-2C condensator-array DAC	19
3.1	Symbool comparator (a), ideale transferkarakteristiek (b), échte transferkarakteristiek (c)	20
3.2	latch gebaseerde comparator met voorversterker	21
3.3	Kickback noise door parasitaire capaciteiten C_p	22
3.4	Comparator offset	23
3.5	StrongArm comparator	24
3.6	tweetraps comparator bestaande uit voorversterker (links) en latch (rechts)	25
3.7	Transient simulatie twee traps comparator	26
3.8	Latch test met lineair model van voorversterker	27
3.9	Snelheid van latch	29
3.10	Simulatie snelheid latch over alle corners	30
3.11	Comparator met ingangs gerefereerde ruis	31
3.12	Cumulatiefunctie distributiefunctie (links), kansdichtheidsfunctie ingangsgerefereerde ruis (rechts)	31
3.13	Ruissimulatie voor breedte W_2 en $W_1 = 10 \times W_2$	32
3.14	Gemiddeld vermogen over 1 klokperiode $W_2 > W_1$	33
3.15	tweetraps comparator bestaande uit voorversterker (links) en latch (rechts)	34
4.1	Controle logica 12-bit ADC	37
4.2	Het genereren van RESET	38

5.1	Ingang (links) en uitgang (rechts) van een ideale ADC	40
5.2	Histogram uitgang (links), histogram na correctie (rechts)	41
5.3	Histogram van een niet-ideale ADC	41
5.4	DNL (links), INL (rechts)	42
5.5	Opbouw SAR ADC	43
5.6	Bemonsteren van een ramp functie	43
6.1	Differentiële architectuur SAR ADC	45
6.2	Implementatie schakelaar S_T	45
6.3	Implementatie 3-polige schakelaar	46
6.4	Doorkoppeling kloksignaal	47
6.5	Snelheid limitatie door flipflops	48
6.6	20 Monte-carlo simulaties voor DNL en INL bij $C = 100\text{fF}$	50
6.7	20 Monte-carlo simulaties voor DNL en INL bij $C = 20\text{fF}$	50
7.1	Impact ioniserende straling [24]	52
7.2	Single event transient [24]	52
7.3	Effect van SET op schuifregister	53
7.4	Effect van SET op comparator	54
7.5	Triple Modular Redundancy	55
7.6	SAR ADC onder invloed van straling	56
7.7	Effect van een SET op schakelaar S_T	57
7.8	Differentieel NMOS paar layout volgens basis (a), common-centroid (b), DCC (c)[2]	58

Lijst van tabellen

1.1	Waarheidstabel 4x2 prioriteit encoder	9
3.1	Definitieve transistor eigenschappen	34
4.1	Finite State Machine Controle Logica 12-bit ADC	36
4.2	Waarheidstabel D-FF met synchrone (links) en asynchrone (rechts) set en clear . .	36

Lijst met afkortingen

ADC	Analoog - Digitaal Convertor
DAC	Digitaal - Analoog Convertor
LSB	Least Significant Bit
MSB	Most Significant Bit
SNR	Signal to Noise Ratio
SNQR	Signal to Quantisation Noise Ratio
FS	Full Scale
DNL	Differentiële Niet-Lineariteit
INL	Integrale Niet-Lineariteit
FFT	Fast Fourier Transform
THD	Total Harmonic Distortion
THD-N	Total Harmonic Distortion plus Noise
RMS	Root Mean Square
SNDR OF SINAD	Signal to Noise and Distirtion Ratio
ENOB	Effective Number of Bits
SFDR	Spurious Free Dynamic Range
OSR	Oversampling Rate
SAR	Successive Approximation Register
BWA	Binary Weighted Array
GND	Ground
D-FF	Data Flipflop
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
NMOS	N-type Metal Oxide Semiconductor
PMOS	P-type Metal Oxide Semiconductor
IC	Integrated Circuit
CMOS	Complementary Metal Oxide Semiconductor
CDF	Cumulatieve distributiefunctie
FSM	Finite State Machine
SEE	Single Event Effect
SET	Single Event Transient
SEU	Single Event Upset
TMR	Triple Modular Redundancy
DCC	Differential Charge Cancellation
RHBC	Radiation Hardened By Design

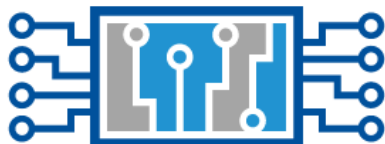
Stageplaats

Het onderzoek voor deze masterproef heb ik verricht aan AdvISe. AdvISe staat voor Advanced Integrated Sensing lab en is een onderzoeksgroep van faculteit industriële ingenieurswetenschappen binnen het departement elektrotechniek ESAT op de KU Leuven technologiecampus Geel. De onderzoekers van AdvISe hebben zowel ervaring in hardware als software.

De hardware focus ligt vooral op ontwikkeling en testen van PCB en geïntegreerde schakelingen (IC). Er gebeurt veel onderzoek naar het ontwerp van IC's voor gebruik in uitzonderlijke stralingsomgevingen. De kennis van het bestand maken tegen invloed van Total Ionizing Dose (TID) en Single Event Effects (SEE) is hier zeer breed.

Ook software ontwikkeling is heel geavanceerd bij AdvISe. De focus ligt hier vooral op machine learning en geavanceerde statistieken. Deze onderzoekers delen hun interesse in het aanpassen en ontwikkelen van leeralgoritmen om signalen uit complexe systemen te benutten.

Advanced Integrated Sensing



Radiation tolerant
integrated circuits



Machine learning
and statistics

Hoofdstuk 1

Inleiding

In de natuur komen signalen meestal analoog voor (temperatuur ,druk,...). Een microcontroller werkt echter steeds met digitale signalen waardoor er nood is aan een conversie tussen deze formaten. Deze conversie gebeurt enerzijds door een ADC (analoog-digitaal convertor) en anderzijds door een DAC (digitaal-analoog convertor). Door de grote aanwezigheid van de digitale signaalverwerking is er nood aan tal van deze convertoren. Naargelang de toepassing zijn bepaalde parameters belangrijk. In sommige toepassingen, waar bijvoorbeeld het analoge signaal snelle variaties vertoont, is een convertor met hoge snelheid nodig.

Deze thesis beschrijft een ontwerp van een ADC voor toepassingen die zich bevinden in een uitzonderlijke stralingsomgeving zoals de ruimte of een nucleaire omgeving. De ADC zal samen met andere functionaliteiten geïntegreerd worden in een microchip. Met deze chip is het mogelijk robots of sensoren te creëren die handelingen kunnen uitvoeren in kerncentrales en andere stralingsomgevingen die levensgevaarlijk zijn voor de mens.

In dit hoofdstuk volgt een inleiding die bestaat uit de nodige achtergrondkennis voor het begrijpen van het ontwerp en de simulaties beschreven in volgende hoofdstukken. Het eerst deel van dit hoofdstuk bestaat uit de werking en het gebruik van een ADC. Vervolgens zullen bepaalde parameters besproken worden die het prestatievermogen van de ADC bepalen. Als laatste volgt een vergelijking tussen verschillende ADC structuren.

1.1 Analooq-digitaal conversie

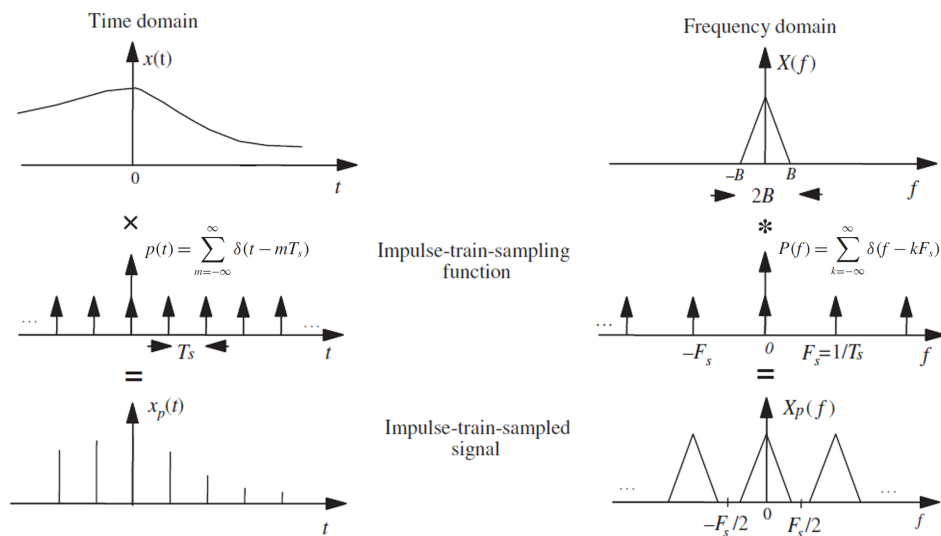
De operatie van elke ADC kan opgedeeld worden in 2 processen: bemonstering en quantisatie. Tijdens de bemonsteringsfase wordt het continue signaal omgezet naar een tijddiscreet signaal. Daarna wordt dit tijddiscrete signaal gequantiseerd naar een eindig aantal spanningslevels.

1.1.1 Bemonstering

Figuur 1.1 illustreert het proces van bemonstering. In het tijdsdomein kan een bemonsterd signaal voorgesteld worden als het product van het signaal $x(t)$ met een deltatrein functie $p(t)$. Het resulterend signaal zal enkel nog waarden van $x(t)$ bevatten op moment van de delta pulsen. Deze waarden zijn de bemonsteringen of 'samples' en vormen een discrete tijd representatie van het oorspronkelijk signaal.

De tijd tussen 2 opeenvolgende bemonsteringen is de bemonsteringsperiode T_s en is het inverse van de bemonsteringsfrequentie $f_s = 1/T_s$. Naarmate de frequentie stijgt zal de tijd tussen 2 bemonsteringen kleiner worden waardoor de ADC sneller moet kunnen werken.

In het frequentiedomein resulteert de vermenigvuldiging, door het vermenigvuldiging-convolutie dualiteitsprincipe, in een convolutie van het signaal spectrum $X(f)$ met het spectrum van de deltatrein functie $P(f)$. Het resultaat van deze convolutie is een periodisch spectrum bestaande uit het originele spectrum en verschillende replica's.



Figuur 1.1: Bemonstering van een bandgelimiteerd signaal $x(t)$ in tijds- en frequentiedomein[26]

Als de bemonsteringsfrequentie f_s hoger is dan het dubbele van de bandbreedte B van het oorspronkelijke signaal zijn de replica's van het frequentiespectrum gescheiden en is er geen overlap. In dit geval kan het oorspronkelijke signaal gereconstrueerd worden. De replica's bevinden zich op hogere frequenties en kunnen onderdrukt worden m.b.v. een filter. Een filter die deze hoge frequenties onderdrukt en enkel het gewenste spectrum behoudt, wordt ook wel een laagdoorlaat filter genoemd.

Als de bemonsteringsfrequentie lager is dan het dubbele van de bandbreedte overlappen de replica's en het origineel spectrum. Dit fenomeen is vaak terug te vinden onder de naam 'aliasing'.

Een filter kan het origineel spectrum nu niet meer scheiden van de replica's waardoor het origineel signaal niet meer gereconstrueerd kan worden. Uit voorgaande uitleg volgt het Nyquist bemonsteringscriteria:

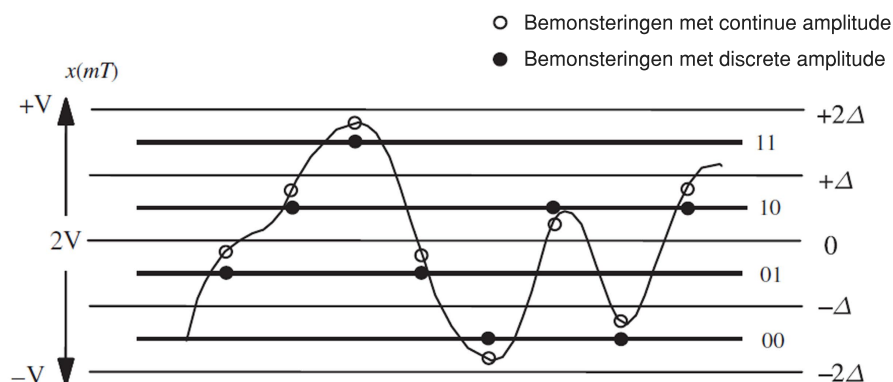
"Een band gelimiteerd signaal met bandbreedte B kan gereconstrueerd worden uit bemonsteringen enkel en alleen als de bemonsteringsfrequentie f_s minstens dubbel zo groot is als de bandbreedte van het signaal zodat geen aliasing ontstaat." - Nyquist

Omdat het van cruciaal belang is steeds aan het Nyquist criteria te voldoen zal er alvorens het bemonsteren van het signaal vaak een 'anti-aliasing' filter worden toegepast. Dit is een laagdoorlaatfilter die alle frequenties hoger dan de helft van de bemonsteringsfrequentie onderdrukt. Op deze manier zal er steeds voldaan zijn aan het Nyquist criteria. Merk wel op dat, indien het signaal toch informatie bevatte in hogere frequenties, deze informatie verloren zal gaan.

1.1.2 Quantisatie

Na het bemonsteringsproces is het signaal discreet in de tijd. De waarden van het signaal op deze tijdstippen is nog steeds continu en kan dus alle mogelijke waarden bevatten. Quantisatie zorgt voor het discretiseren van deze waarden naar een eindig aantal spanningsniveaus die digitaal voorgesteld kunnen worden. Het aantal spanningsniveaus van een ADC is gelijk aan 2^N waarbij N gelijk is aan het aantal bits of de resolutie van de ADC. Een 8 bit ADC heeft bijvoorbeeld $2^8 = 256$ niveaus.

Er zijn verschillende manieren om een signaal te quantiseren. In deze thesis wordt enkel uniforme quantisatie besproken waarbij de niveaus gelijkmatig verdeeld zijn over het volledige spanningsbereik. Als gevolg is het spanningsverschil tussen 2 opeenvolgende niveaus steeds hetzelfde. Dit spanningsverschil is gelijk aan de spanningswaarde die overeenkomt met het digitale woord indien enkel de minst significante bit (Least Significant Bit of LSB) de logische waarde '1' bevat en alle andere bits '0' zijn. In de meeste literatuur zal dan ook de term LSB of V_{LSB} gebruikt worden voor dit spanningsverschil aan te duiden. De waarde van 1 LSB is ook gelijk aan het quotiënt van het volledige spanningsbereik van de ADC en het aantal niveaus. Bij een 12-bit ADC die gebruikt wordt om signalen tussen 0 en 1.2V te digitaliseren komt 1LSB overeen met ongeveer $293\mu V$.



Figuur 1.2: 2-bit quantisatie[26]

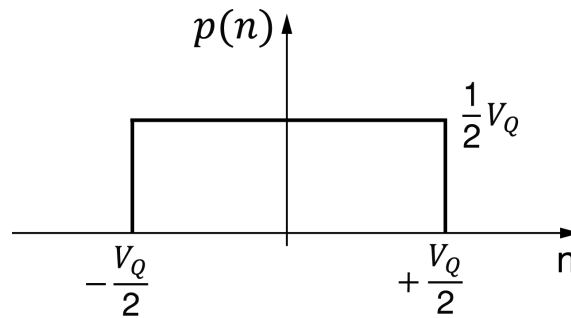
Het quantiseren van spanningswaarden kan voorgesteld worden als een afronding en zorgt dus voor afrondingsfouten. Deze fouten zijn steeds voorgesteld als een toevoeging van deterministische ruis en staat beschreven in volgend hoofdstuk.

1.2 Statische parameters

1.2.1 Quantisatieruis

Bij het quantiseren van een continu signaal naar een discreet signaal met eindig aantal spanningsniveaus wordt er quantisatieruis toegevoegd. Deze ruis is het verschil tussen de analoge/continue waarde van een bemonstering en zijn gequantiseerde discrete waarde.

Het bereik van de quantisatieruis is gelijk aan $V_Q = V_{FS}/2^N = 1\text{LSB}$. Bij een willekeurig ingangssignaal zal ook de ruis willekeurig zijn zodat de kansverdeling van de ruis uniform verdeeld is over het volledige bereik van $-1/2V_Q$ tot $+1/2V_Q$ (zie figuur 1.3).



Figuur 1.3: Kansverdeling quantisatieruis

Als gevolg is de variantie van de quantisatieruis te berekenen als volgt:

$$\sigma_n^2 = \int_{-\infty}^{+\infty} p(n)n^2 dn = \int_{-V_Q/2}^{+V_Q/2} \frac{1}{V_Q} n^2 dn = \frac{V_Q^2}{12} \quad (1.1)$$

Met dit resultaat kan de maximum signaal-ruis-verhouding ($SNR_{dB} = 10 \times \log \left[\frac{\text{Signaalvermogen}}{\text{Ruisvermogen}} \right]$) voor een sinusoidaalingangssignaal berekend worden. Bij gebruik van dit signaal over het volledige spanningsbereik bedraagt de peak-to-peak waarde V_{FS} zodat de RMS waarde van het signaal gelijk is aan:

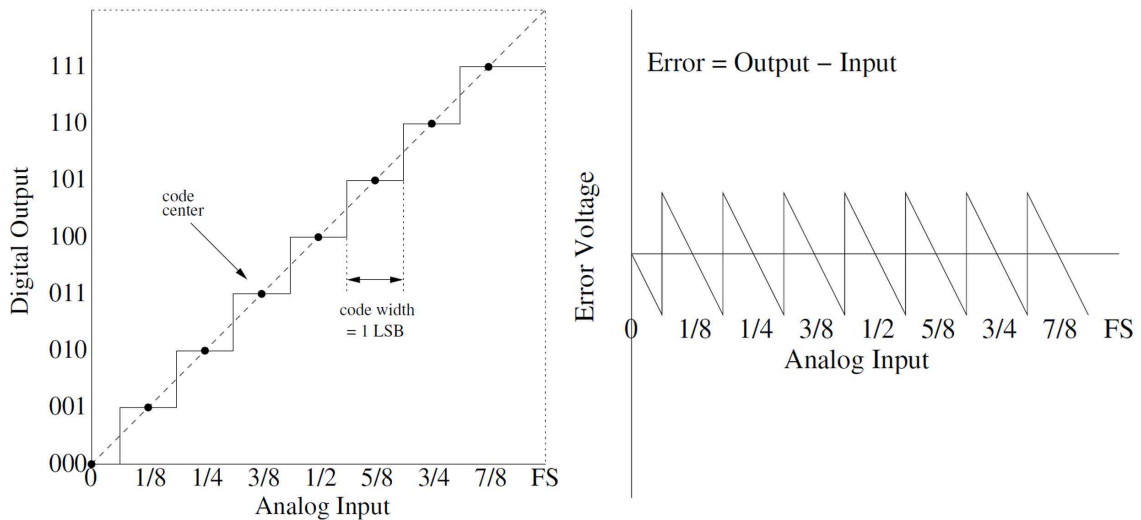
$$V_{RMS} = \frac{V_{FS}}{2\sqrt{2}} = \frac{2^N V_Q}{2\sqrt{2}} \quad (1.2)$$

Zodat de SNR van een ADC met enkel quantisatieruis gelijk is aan :

$$SNR_{dB} = 20 \times \log \left(\frac{V_{RMS}}{\sqrt{\sigma_n^2}} \right) = 20 \times \log(2^N \sqrt{1,5}) = 6,02N + 1,76dB \quad (1.3)$$

Uit vergelijking 1.3 volgt dat de quantisatieruis daalt als de resolutie stijgt. Er zullen meer spanningsniveaus beschikbaar zijn waardoor er een kleinere afronding gebeurt. Voor een 12-bit ADC

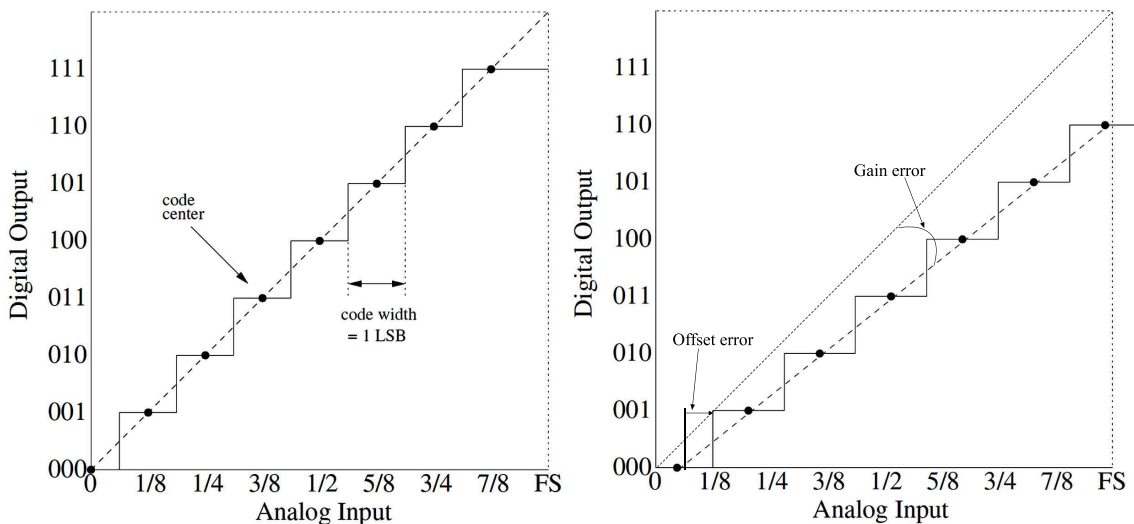
is de SNR gelijk aan 74dB. Merk op dat dit de ideale of maximum SNR is. Enkel de quantisatieruis is hier in rekening genomen en alle andere ruisbronnen zijn verwaarloosd. Deze parameter is dan ook vaak terug te vinden onder de naam SQNR (signal-to-quantisation noise ratio).



Figuur 1.4: Transferkarakteristiek ideale ADC (links) quantisatie error (rechts) [17]

1.2.2 Offset en Gain error

De offset error of 'zero scale error' is gedefinieerd als de afwijking tussen de ideale en echte spanningswaarde bij de eerste transitie. Bij een ideale ADC vindt deze transitie plaats op de spanningswaarde van 0.5LSB. Gain error is de afwijking van de helling van de transferkarakteristiek. De helling is bepaald door het verbinden van het midden van de code intervallen.



Figuur 1.5: Transferkarakteristiek ideale ADC (links) offset en gain error(rechts) [17]

Beide fouten zijn weergegeven in figuur 1.5 en kunnen zowel een positieve als negatieve waarde

bevatten. Samen vormen ze de 'full scale error'. Dit is het verschil tussen de ideale en echte spanningswaarde bij de laatste transitie (naar hoogste digitale waarde) in de transferfunctie. Zo is het mogelijk de gain error te meten als full scale error na het elimineren van de offset error.

1.2.3 Differentiële niet-lineariteit

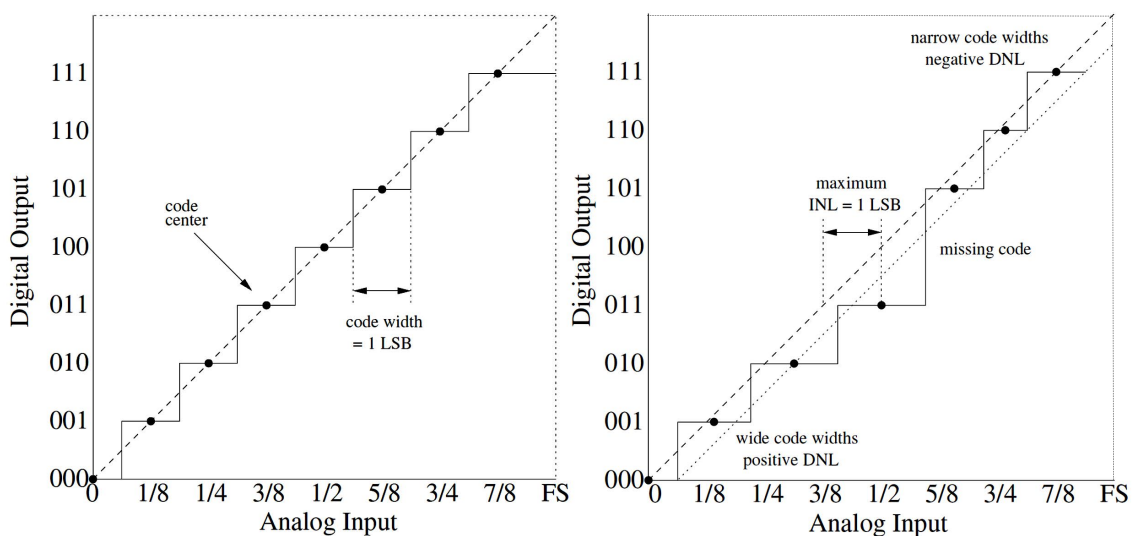
In elke ADC komt iedere digitale code overeen met een bepaald spanningsinterval. Bij een ideale ADC is dit spanningsinterval steeds 1 LSB. Een afwijking op dit interval is voor elke individuele combinatie beschreven a.d.h.v. de differentiële niet-lineariteit (DNL) zoals geïllustreerd in figuur 1.6. De DNL is een zeer belangrijke eigenschap in ADC's. Grotere spanningsintervallen resulteren in een positieve DNL terwijl kleinere spanningsintervallen resulteren in een negatieve DNL. Indien de DNL voor een bepaalde code gelijk is aan -1 zal deze code niet voorkomen. Het is een 'missing code' en er komt geen enkele spanningswaarde overeen met deze binaire combinatie. Als de DNL nog lager zakt dan -1 bestaan er spanningswaarden die overeenkomen met 2 binaire combinaties. ADC's met deze eigenschap vallen onder de categorie niet-monotoon en zijn alles behalve lineair.

1.2.4 Integrale niet-lineariteit

De integrale niet-lineariteit (INL) beschrijft de afstand tussen het midden van de werkelijke code intervallen (code centers) tot de ideale transferkarakteristiek. De INL is tevens gegeven door de integratie of voorgeschiedenis van de DNL.

Merk op dat in sommige literatuur de INL eerder gedefinieerd wordt t.o.v. een best passende rechte i.p.v. de ideale transferkarakteristiek. In dit geval zal de INL een veel gunstigere waarde bevatten. Beide methoden zijn weergegeven in figuur 1.6. In het geval van de best passende rechte (weergegeven door stippellijn) is de maximum INL slechts half zo groot als bij de ideale transferkarakteristiek (streepjes lijn).

Figuur 1.6 illustreert het effect van niet-lineariteiten in een ADC. In hoofdstuk 5 staat uitvoerig beschreven hoe het mogelijk is deze parameters te bepalen.

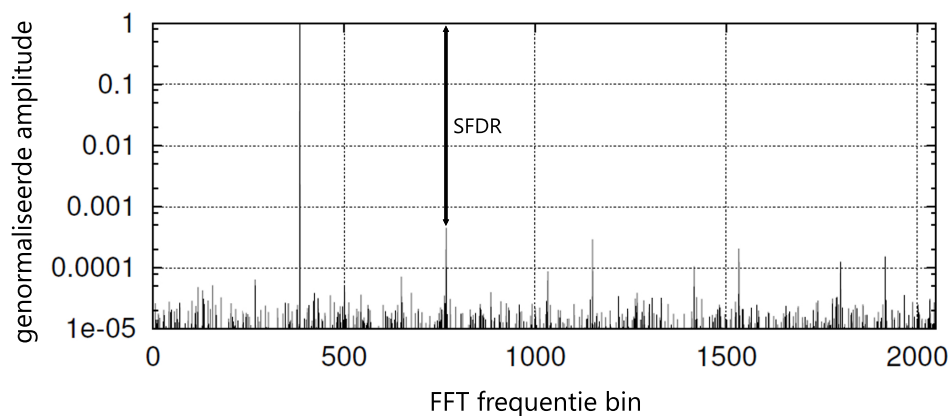


Figuur 1.6: Transferkarakteristiek ideale ADC (links) integrale en differentiële niet-lineariteit (rechts) [17]

1.3 Dynamische performantie

De dynamische performantie van een ADC geeft meer informatie over de frequentie inhoud. Bij ADC's met slechte dynamische performantie zijn relatief kleine ingangssignalen niet meer onderscheidbaar van de ruisvloer. Naarmate de ruisvloer lager ligt is er meer dynamische zwaai en een betere performantie.

Het berekenen van volgende parameters gebeurt meestal a.d.h.v. het frequentiedomein. Vaak zal een sinusoïdaal ingangssignaal worden gebruikt omdat deze maar bestaat uit één enkele frequentie en dus eenvoudig te onderscheiden is in het frequentiedomein.



Figuur 1.7: Frequentiespectrum uitgang ADC[17]

1.3.1 Total harmonic distortion

Total harmonic distortion (THD) is de verhouding van de RMS (Root Mean Square) som van de harmonische componenten tot de RMS waarde van het signaal. Natuurlijk is het onmogelijk alle harmonische componenten te meten. Vaak wordt dit benaderd door enkel de eerste 5 componenten omdat deze toch een groot percentage van het totale harmonische vermogen bevatten. Een variant op de THD is de THD+N waarbij bovenop de harmonische distorsie ook ruis in rekening is gebracht. Het meten van de distorsie én ruis zal meestal gebeuren m.b.v. een notch filter die het sinusoïdaal ingangssignaal verwijdert uit het frequentiespectrum. Na het verwijderen van het ingangssignaal zal het spectrum enkel bestaan uit ruis en distorsie.

1.3.2 Signal-to-noise-and-distortion ratio

Signal-to-noise-and-distortion ratio (SNDR of SINAD) is de verhouding van de RMS waarde van het signaal tot de RMS waarde van de ruis en distorsie. Als gevolg is de SNDR dus het inverse van de THD+N.

1.3.3 Effective number of bits

De Effective number of bits (ENOB) is een alternatieve manier om de signal-to-noise-and-distortion ratio voor te stellen. Het is eerder een voorstelling van het effectieve aantal bits dan decibels. ENOB wordt berekend d.m.v. de formule voor de SQNR van een ideale ADC besproken in sectie 1.2.1. Indien de SQNR in dit geval vervangen wordt door de SNDR is het mogelijk ENOB te berekenen:

$$ENOB = \frac{SNDR - 1.76dB}{6.02dB/bit} \quad (1.4)$$

Vergelijking 1.4 zal in meeste gevallen resulteren in een fractioneel getal waarmee het mogelijk is de performantie van de werkelijke convertor te vergelijken met een ideale ADC.

1.3.4 Spurious free dynamic range

Door niet lineariteiten in de ADC zullen spurs voorkomen. Spurs zijn pieken in het frequentiespectrum afkomstig van ruis of distorsie. De spurious free dynamic range (SFDR) is gedefinieerd als de verhouding van de RMS waarde van het signaal tot de RMS waarde van de volgende grootste spur zoals weergegeven in figuur 1.7.

1.4 ADC structuren

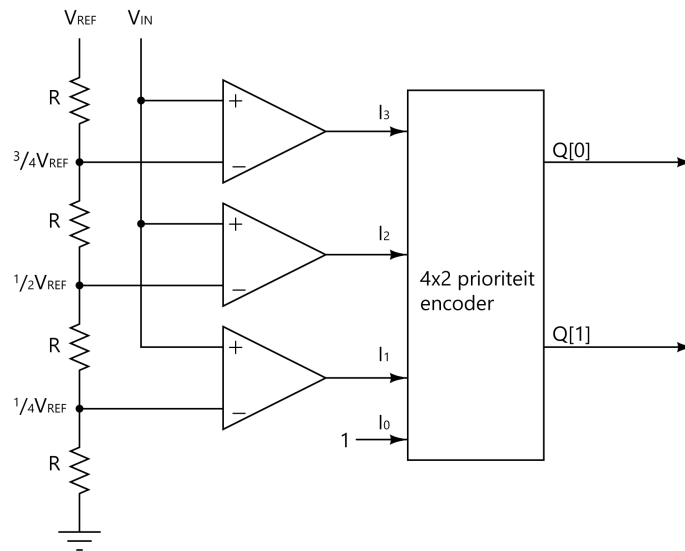
Door het brede toepassingsgebied zijn er tal van verschillende ADC structuren welke onderling verschillen in opbouw en prestatievermogen. Naargelang de werkingsmodus zijn deze opgedeeld in 2 groepen: Nyquist-rate en oversampling convertoren.

Zoals besproken in sectie 1.1.1 is het mogelijk een ingangssignaal te reconstrueren indien de bemonsteringsfrequentie voldoet aan het Nyquist criteria. Hogere waarden voor f_s zorgen dus niet voor extra informatie zodat veel ADC's juist deze frequentie gebruiken. Dergelijke convertoren (zoals Flash en SAR ADC's) behoren tot de Nyquist-rate convertoren. Nyquist-rate convertoren worden zeer veel toegepast en kunnen hoge snelheden behalen. Echter is het moeilijk grote accurateheid en lineariteit te bereiken met deze convertoren. Voor dergelijke toepassingen zullen eerder oversampling convertoren gebruikt worden.

Oversampling convertoren (zoals delta-sigma ADC's) gebruiken een hogere bemonsteringsfrequentie dan dat het Nyquist criteria voorschrijft. Als gevolg is het mogelijk grotere resoluties te behalen (zie sectie 1.4.2).

1.4.1 Flash ADC

Flash ADC's of parallele ADC's zijn het snelste type ADC's dat er bestaat en worden vaak gebruikt in toepassingen waar een grote bandbreedte (1-10GHz) nodig is. Een groot nadeel gepaard aan deze hoge snelheid is vermogen verbruik. Een Flash ADC gebruikt namelijk aanzienlijk veel vermogen t.o.v. andere ADC structuren. Een ander nadeel is dat Flash ADC 's door hun opbouw slechts lage resoluties kunnen bekomen.



Figuur 1.8: Opbouw Flash ADC

Figuur 1.8 illustreert de opbouw van een flash ADC. Met resolutie N bevat een flash ADC $2^N - 1$ comparators en 2^N weerstanden. De weerstandladder brengt bij elke comparator een verschillende referentiespanning. Deze verschillende spanningsniveaus zijn de beslissingsniveaus van de ADC. Indien de analoge ingangsspanning hoger is dan één van deze niveaus zullen de uitgangen van deze comparator én alle comparators met een lagere referentiespanning '1' zijn. De manier waarop de uitgangen van de comparators variëren is vaak terug te vinden onder de naam 'thermometer coding'.

De gecodeerde uitgangen van de comparators bevatten nog niet het uiteindelijke digitale woord. Het zijn namelijk 3 uitgangen voor een 2-bit ADC. De omzetting naar een digitaal woord gebeurt door de prioriteit encoder. Deze zal de 'thermometer code' omzetten naar een 2-bit binaire waarde. De naam 'prioriteit' encoder komt van het gedrag van de component. Indien één van de ingangen een logische '1' bevat, maakt het niet uit in welke toestand de lagere ingangen zijn (in tabel aangegeven door 'x'). Het gedrag van een 4x2 prioriteit encoder is weergegeven in onderstaande tabel:

I_3	I_2	I_1	I_0	Q[1]	Q[0]	V
0	0	0	0	x	x	0
0	0	0	1	0	0	1
0	0	1	x	0	1	1
0	1	x	x	1	0	1
1	x	x	x	1	1	1

Tabel 1.1: Waarheidstabel 4x2 prioriteit encoder

Waarbij I_3 tot I_0 de ingangen zijn, Q de binaire uitgang en V een extra signaal die weergeeft of er een geldig ingangssignaal aanwezig is.

Volgend voorbeeld illustreert de volledige werking van een flash ADC:

Indien de uitgang lager is dan $1/4 V_{REF}$ zal geen enkele comparator een hoge uitgang bevatten. De ingang van de encoder bedraagt in dit geval "0001". Uit tabel 1.1 blijkt de binaire uitgang dan "00" te

zijn. Als vervolgens deingangsspanning stijgt tot net boven $1/4V_{REF}$ zal de eerste comparator een logische '1' krijgen aan zijn uitgang zodat er "0011 staat aan de ingang van de encoder. De digitale uitgang bedraagt dan "01". Indien deingangsspanning stijgt tot net onder (resp. boven) $2/4V_{REF}$, zal de uitgang van 2de comparator laag blijven (resp. hoog worden). Het digitale woord bedraagt dan "01" of "10". Analoog kan deze redenering uitgebreid worden naar het laatste beslissingsniveau zodat de transferkarakteristiek volledig is opgebouwd. Merk op dat het maar één klokcyclus duurt voor een volledige digitale waarde te construeren voor een bemonstering.

Een groot probleem in Flash ADC's is de offset in de comparators. De reden waardoor dit bij Flash ADC's voor grote problemen zorgt is doordat deze offset bij elke comparator verschillend is van typische waarde. Bij architecturen waar enkel één comparator nodig is, heeft dit dezelfde invloed voor alle quantisatieniveaus waardoor de offset in de comparator enkel zorgt voor een offset error. Doordat bij Flash ADC's de offset voor elke comparator verschillend is, resulteert dit in een niet lineariteit welke veel moeilijker is weg te werken dan een offset error.

1.4.2 Delta-Sigma ADC's

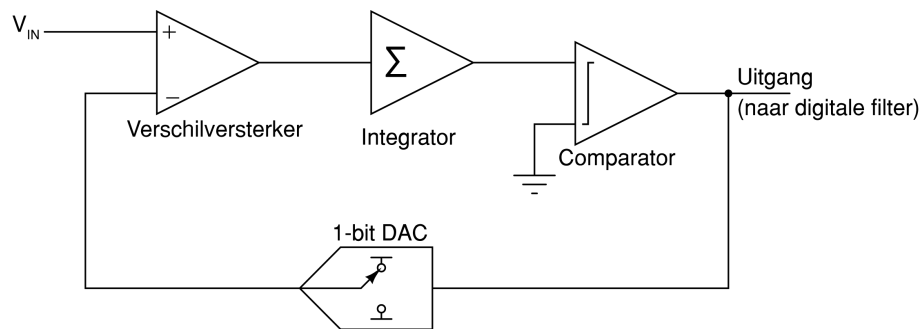
Indien een hoge resolutie nodig is (zoals bijvoorbeeld bij audio toepassingen) zal er vaak gebruik worden gemaakt van Delta-Sigma ($\Delta\Sigma$) ADC's. Deze ADC's behoren tot de oversampling convertoren en hebben als voordeel dat een deel van de quantisatieruis verwijderd kan worden.

Het totale quantisatieruis vermogen van een ADC (σ_{nq}) bedraagt $V_Q^2/12$ (sectie 1.2.1). Dit vermogen is onafhankelijk van de bemonsteringsfrequentie f_s en uniform verdeeld over het frequentiebereik $\pm \frac{f_s}{2}$. Bij oversampling ADC's zal de bemonsteringsfrequentie f_s veel hoger zijn dan de bandbreedte B van het signaal. Een veel gebruikte term is oversampling rate (OSR) welke gedefinieerd is als:

$$OSR = \frac{f_s}{B} \quad (1.5)$$

Naarmate de OSR vergroot, zal de quantisatieruis meer uitgesmeerd worden over een groter frequentiebereik. Omdat deze ruis zich nu ook bevindt op frequenties waar geen signaal aanwezig is, kan een groot deel van de quantisatieruis verwijderd worden d.m.v. een filter. Hoe groter de OSR, hoe minder ruis er uiteindelijk overblijft. Dit resulteert in een toename van de SQNR zodat grotere waarden voor ENOB mogelijk zijn. Als gevolg is het mogelijk grotere resoluties te behalen [5].

$\Delta\Sigma$ ADC's combineren oversampling met 'noise shaping'. Het doel van noise shaping is de quantisatieruis die nog aanwezig is in de lage frequenties (waar het signaal zich bevindt) naar hogere frequenties te duwen. Dit maakt het mogelijk zo goed als alle quantisatieruis te verwijderen.



Figuur 1.9: Blokschema $\Delta\Sigma$ modulator

De $\Delta\Sigma$ modulator zoals weergegeven in figuur 1.9 is het hart van de ADC en is verantwoordelijk voor de noise shaping.

De comparator in het circuit zorgt voor het toevoegen van de kwantisatieruis. Vaak zal deze worden voorgesteld door een ideale comparator gevolgd door een ruisbron. In [5] staat het gedrag van het circuit voor deze ruisbron beschreven. Door een voorstelling van de $\Delta\Sigma$ modulator in het frequentiedomein zijn verschillende transferfuncties bekomen. Uit deze transferfuncties blijkt dat het circuit een hoogdoorlaat gedrag heeft voor de ruisbron. De ruis zal dus vooral aanwezig zijn in hogere frequenties waardoor het grootste deel zal verdwijnen na een laagdoorlaat filteroperatie. Het blokschema zoals weergegeven in figuur 1.9 zorgt voor een eerste orde gedrag. Het circuit kan eenvoudig worden uitgebreid naar een hogere orde modulator. Naarmate de orde van de modulator hoger stijgt zal deze steeds een beter hoogdoorlaat gedrag vertonen voor de ruis. Merk op dat noise shaping het totale ruisvermogen niet verandert maar de ruis enkel vormt naar hogere frequenties.

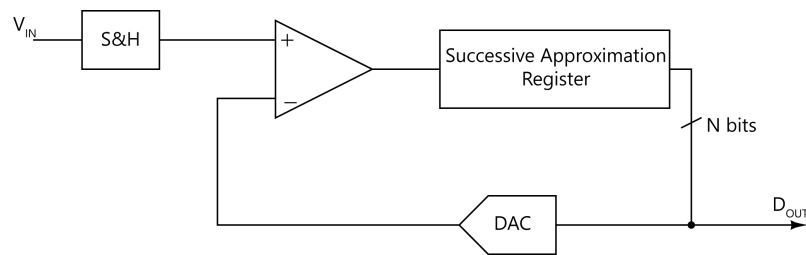
De hoogfrequente bitstream uit de modulator zal worden aangebracht aan een digitale filter. Dit digitaal filter converteert de bitstream naar tragere, hoge resolutie, digitale woorden.

1.4.3 Successive Approximation Register ADC's

De Successive Approximation Register ADC (of SAR ADC) is zeer populair omdat hij gebruikt kan worden in een zeer breed toepassingsgebied. Door vele verschillen in opbouw van het circuit is het mogelijk een gemiddelde tot hoge resoluties te behalen bij een degelijke frequentie. Het grote voordeel van een SAR ADC is dat bepaalde structuren minimaal vermogen verbruiken waardoor ze zeer gewenst zijn in bijvoorbeeld draadloze toepassingen waar de voeding gerealiseerd is d.m.v. een batterij.

In dit deel volgt de uitleg over de principiële werking van een SAR ADC. Er zijn verschillende mogelijkheden voor het implementeren van een SAR ADC. Deze thesis beschrijft een effectief ontwerp van één van deze mogelijkheden.

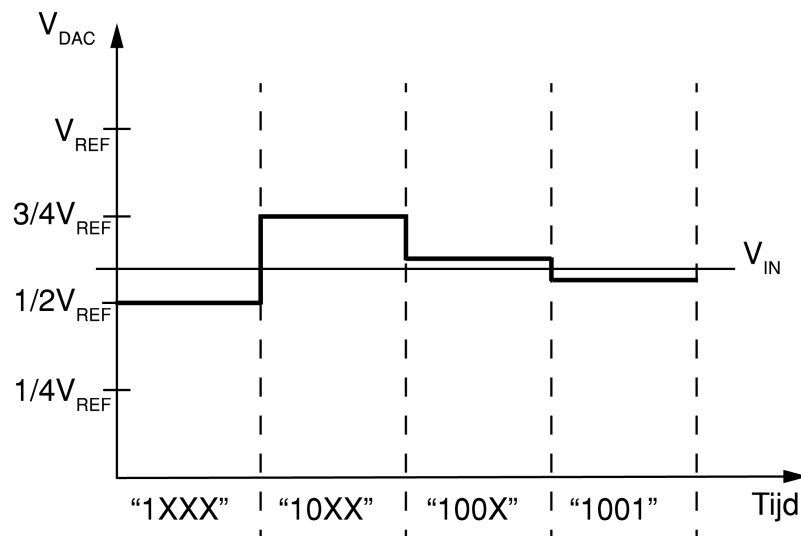
Een SAR ADC implementeert eigenlijk het 'binary search' zoekalgoritme. Elke keer een ingangssignaal wordt bemonsterd zal dit zoekalgoritme itereren naar het best passende kwantisatie niveau. Merk op dat de bemonsteringsfrequentie van de ADC slechts een fractie is van de interne klok voor het zoekalgoritme. Bij hogere resoluties leidt dit tot zeer hoge frequenties waardoor er een afweging moet gebeuren tussen snelheid en resolutie.



Figuur 1.10: Blokschema SAR ADC

Figuur 1.10 illustreert het blokschema van een SAR ADC. Als hetingangssignaal V_{IN} is bemonsterd en vastgehouden (sample & hold) begint het zoekalgoritme. Als eerste zal de logica de meest MSB (meest significante bit) op '1' zetten zodat "100..000" op de ingang van de DAC staat. De DAC zal deze binaire combinatie omzetten naar een spanning die juist de helft is van de referentiespanning V_{REF} . De comparator vergelijkt deze spanning met V_{IN} . Indien $V_{IN} > 1/2V_{REF}$ dan is de uitgang van de comparator '1' en blijft de MSB gelijk aan '1'. Als $V_{IN} < 1/2V_{REF}$ geeft de comparator '0' en zal de MSB naar '0' worden gebracht. Vervolgens schakelt de logica de volgende bit naar '1' zodat "010..000" of "110..000" op de ingang van de DAC verschijnt afhankelijk van voorgaande beslissing. V_{IN} wordt nu vergeleken met $1/4V_{REF}$ ("010..000") of $3/4V_{REF}$ ("110..000") waaruit een beslissing volgt voor deze bit. Analogoos zal de logica de resterende bits één voor één naar '1' schakelen en beslissen of deze al dan niet terug '0' gemaakt moet worden.

Een voorbeeld van dit binair zoekalgoritme voor een 4 bit ADC is geïllustreerd in figuur 1.11. De digitale woorden onder de grafiek geven steeds de beslissing weer voor elke bit. Meestal heeft een N-bit SAR ADC minstens N iteraties nodig voor een uitgang is bekomen.



Figuur 1.11: Werking SAR algoritme

Hoofdstuk 2

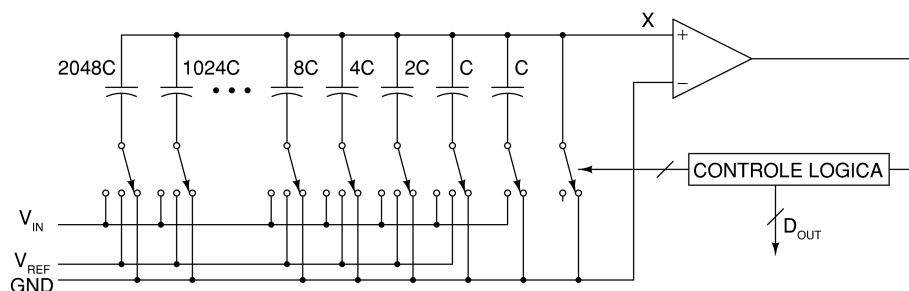
Successive Approximation Register (SAR) ADC

Een korte introductie in de principiële werking van SAR ADC's werd reeds gegeven in sectie 1.4.3. Deze thesis beschrijft een effectieve implementatie van een ladingsherverdeling SAR ADC. Dit is een structuur waarbij het zoekalgoritme is geïmplementeerd d.m.v. ladingsherverdeling tussen condensatoren. Dit hoofdstuk geeft meer informatie over de structuur en de werking van een ladingsherverdeling ADC.

2.1 Structuur

De structuur van een ladingsherverdeling SAR ADC is weergegeven in figuur 2.1. De comparator en de controle logica kunnen geïmplementeerd worden op diverse manieren. Omdat ze complexe simulaties vragen, worden ze beide uitvoerig besproken in hoofdstuk 3 en 4.

De naam ladingsherverdeling ADC volgt uit de implementatie van de DAC. In deze structuur wordt de DAC steeds gerealiseerd d.m.v. binair gewogen condensatoren ook wel BWA (binary weighted array) genoemd. De grootste capaciteit voor een N-bit ADC is steeds $(2^N - 1)C$. Merk op dat deze zeer groot kunnen worden bij gebruik van hoge resoluties. De meest rechtste condensator is een 'dummy' condensator en zorgt ervoor dat de totale equivalente parallelcapaciteit gelijk is aan $(2^N)C$. Een groot voordeel aan deze structuur is dat er geen nood meer is aan een aparte Sample and Hold schakeling. De DAC zal zelf doorheen heel het algoritme een lading proportioneel aan deingangsspanning vasthouden.



Figuur 2.1: Ladingsherverdeling ADC

2.1.1 Werking

Voor het begrijpen van de werking van de ladingsherverdeling ADC is gebruik gemaakt van volgend voorbeeld met een 3-bit ADC. De eerste stap zoals geïllustreerd in figuur 2.2 is de bemonsteringsfase. Alle onderste platen van de condensatoren zijn verbonden met de ingangsspanning V_{IN} en de schakelaar S_x verbindt de positieve ingang van de comparator met GND. Er zal een totale lading verschijnen op de bovenste platen van de condensatoren gelijk aan: $Q = C \times V = 8C(-V_{IN})$. Vervolgens zal S_x terug openen zodat de lading wordt opgesloten in de DAC. Deze opgesloten lading is proportioneel aan de ingangsspanning zodat dit aanzien kan worden als een bemonsteringsoperatie.

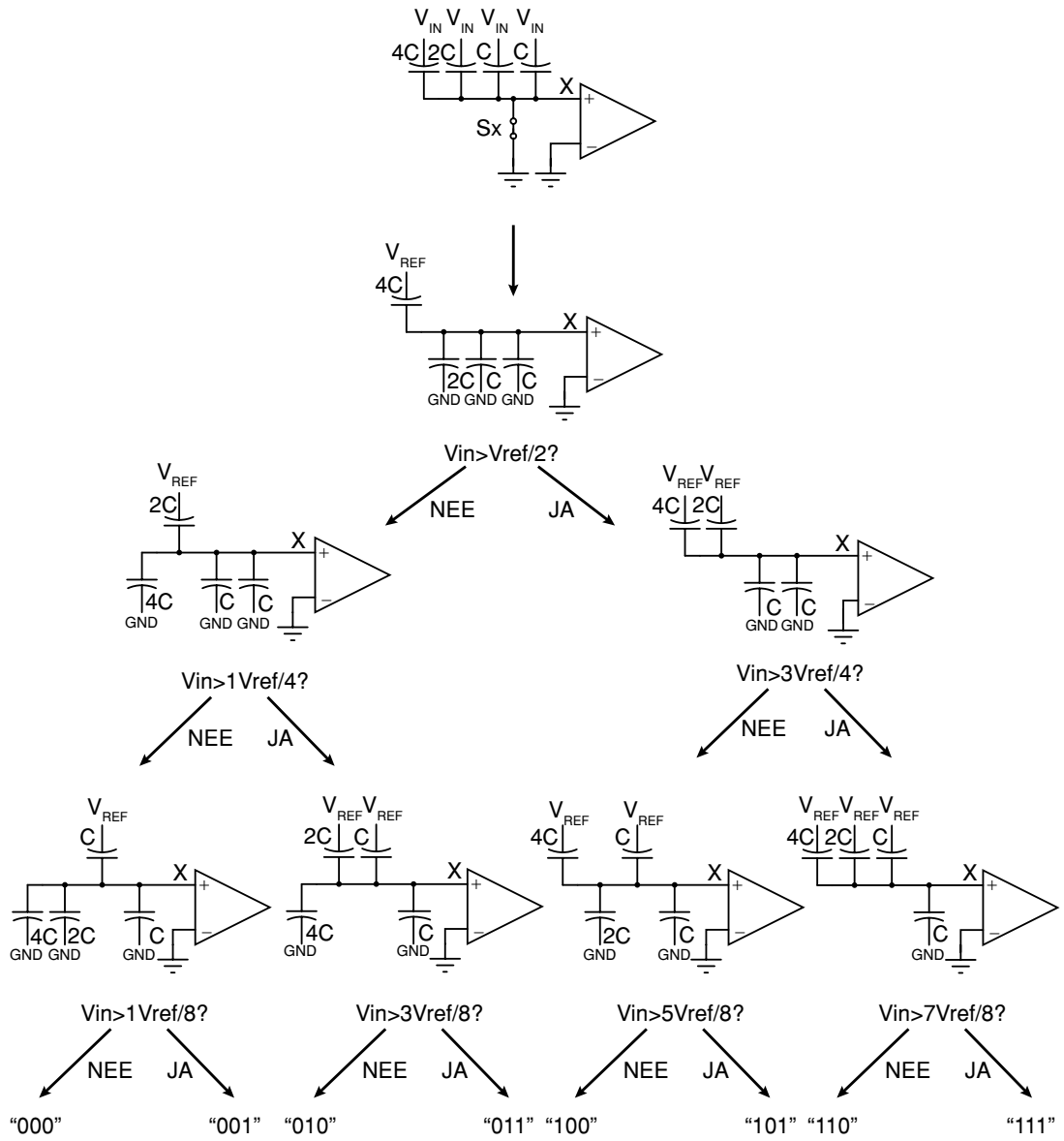
Als de bemonsteringsfase is voltooid begint het zoekalgoritme. De controle logica zal in het begin de grootste condensator naar V_{REF} schakelen. Er zal nu een herverdeling plaatsvinden van de opgesloten lading. Omdat de totale lading niet verandert is het mogelijk de spanning op node X te berekenen. De totale lading is verdeeld over condensatoren die naar GND of V_{REF} zijn geschakeld. Door voor beide mogelijkheden de lading te berekenen op de bovenste platen kan deze gelijk worden gesteld aan de totale opgesloten lading:

$$4C(V_X - V_{REF}) + 4CV_X = 8C(-V_{IN}) \quad (2.1)$$

Het oplossen van de vergelijking naar V_X geeft als resultaat: $V_X = \frac{1}{2}V_{REF} - V_{IN}$. Deze spanning wordt door de comparator vergeleken met 0V. Indien $V_{IN} > \frac{1}{2}V_{REF}$ geeft de comparator als uitgang '1' en blijft de grootste condensator verbonden met V_{REF} . Als $V_{IN} < \frac{1}{2}V_{REF}$ is de uitgang van de comparator '0' en zal de controle logica de condensator verbinden met GND. De uitkomst van de beslissing is tevens de logische waarde voor de MSB.

Na de beslissing voor de MSB zal de controle logica de volgende bit naar V_{REF} schakelen. Er zal nu ook weer een ladingsherverdeling plaatsvinden. De spanning op node X is analoog te berekenen als de voorgaande iteratie. Naargelang de vorige beslissing zijn er nu 2 mogelijkheden. Als de grootste capaciteit verbonden is met V_{REF} zal V_X gelijk zijn aan $\frac{3}{4}V_{REF} - V_{IN}$. Indien de grootste capaciteit verbonden is met GND zal dit $\frac{1}{4}V_{REF} - V_{IN}$ zijn. De ingangsspanning zal dus vergeleken worden met $\frac{1}{4}V_{REF}$ of $\frac{3}{4}V_{REF}$. Er zal een beslissing plaatsvinden om de 2 de bit te bepalen. Indien de uitgang van de comparator '1' geeft blijft de condensator verbonden met V_{REF} , anders zorgt de logica ervoor dat ze terug naar GND wordt geschakeld.

Op deze manier worden alle condensatoren één voor één met V_{REF} verbonden waarna ze al dan niet terug naar massa gaan. Alle mogelijkheden voor een 3-bit ADC zijn weergegeven in figuur 2.2. De extra bemonsteringsfase zorgt ervoor dat de ADC N+1 iteraties nodig heeft voor de digitale waarde een bemonstering te bepalen.



Figur 2.2: Werking 3-bit Ladingsherverdeling ADC

2.2 Comparator

De comparator is een zeer belangrijke component van de ladingsverdeling ADC. Het doel van de comparator is het vergelijken van zijn ingangen. Indien de positieve ingang een hogere (resp. lagere) spanning bevat dan de negatieve ingang zal de uitgang een logische '1' (resp. '0') bevatten. Bij de laatste iteraties van het zoekalgoritme zullen de minst significante bits worden bepaald. Op dit moment zullen de ingangen van de comparator spanningswaarden bevatten die zeer dicht bij elkaar liggen. Ook in dit geval zou de comparator een juiste beslissing moeten maken.

Bij ADC's zal vaak gebruik worden gemaakt van een speciale structuur. Een structuur die in staat is zeer kleine verschillen te onderscheiden bij een zeer klein vermogenverbruik. Een uitvoerige bespreking over de werking en het ontwerp van dergelijke comparator staat beschreven in hoofdstuk 3.

2.3 Controle Logica

Het hart van het zoekalgoritme, het aansturen van de schakelaars en het bit-per-bit bepalen van het digitale woord gebeurt allemaal in de controle logica of het 'Successive Approximation Register' (SAR). In de literatuur staan veel verschillende implementaties van deze logica beschreven. Vaak zal deze, door simpliciteit, gerealiseerd worden m.b.v. een schuifregister.

De verschillen bevinden zich vooral in het aansturen van de schakelaars van de condensatoren. Er is reeds veel onderzoek verricht voor het vermogenverbruik nog verder te verlagen. Door de condensatoren op een verschillende volgorde te schakelen gaat er minder energie verloren [16], [9]. Meer informatie en een ontwerp van de conventionele SAR logica is terug te vinden in hoofdstuk 4.

2.4 Digitaal- Analooq convertor

Reeds aangegeven in het begin van dit hoofdstuk is de naam van de ladingsherverdeling ADC afkomstig van de uitvoering van de DAC. Een groot voordeel van een realisatie met condensatoren is een laag vermogenverbruik. In de DAC zal enkel dynamisch vermogenverbruik aanwezig zijn.

In hoofdstuk 1 werden de limitaties van de performantie van een ADC aangehaald. De grootste problemen die voorkomen bij ADC's zijn niet-lineariteiten (DNL en INL). Deze zijn moeilijk te calibreren en hebben een sterke negatieve invloed op de performantie. In ladingsherverdeling ADC's zijn de niet-lineariteiten vooral afkomstig van de DAC. Door procesvariaties zal er mismatch aanwezig zijn tussen de condensatoren waardoor deze niet meer perfect binair gewogen zijn. Dit moet in rekening worden gebracht in vergelijking 2.1. Na oplossen van de vergelijking zal blijken dat de beslissingsniveaus zullen veranderen. De transferfunctie zal nu duidelijk niet-lineariteiten vertonen [12],[18].

Het is ook mogelijk de DAC te realiseren met weerstanden. Dezelfde structuren als bij condensatoren zijn mogelijk. Bij resistieve DAC's is het mogelijk verschillende niveaus te bereiken door het veranderen van de verhouding van de weerstandsdeler. Er loopt bij het gebruik van weerstanden echter continu stroom wat resulteert in een aanzienlijk vermogenverbruik. Bovendien genereert een weerstand veel thermische ruis en is het effect van mismatch relatief groot waardoor deze structuren nauwelijks voorkomen. Omdat er bij gebruik van weerstanden niet telkens een ladingsherverdeling plaatsvindt is er wel een significante toename in snelheid. Als vermogenverbruik niet belangrijk is, zou dergelijke DAC zijn nut kunnen bewijzen in hoge snelheid toepassingen.

Er zijn verschillende realisaties van de capacitieve DAC met elk voor- en nadelen. Hier volgt een korte bespreking en vergelijking van deze structuren.

2.4.1 Binair Gewogen Condensator-array

De binair gewogen condensator-array (binary weighted array of BWA) is weergegeven in figuur 2.3. Het is een veel voorkomende structuur omdat deze het minste invloed heeft van mismatch of parasitaire capaciteiten. De condensatoren zijn, zoals geïllustreerd in de figuur, binair gewogen van rechts naar links. De extra condensator met capaciteit C dient voor de juiste werking van de ADC. Deze zorgt ervoor dat de condensator-array tijdens de bemonsteringsfase een totale equivalente parallelcapaciteit van juist $2^N C$ vormt.

De grootste condensator in deze structuur voor een N-bit DAC heeft als capaciteit $2^{N-1} C$. Bij hoge resoluties (16 bit en hoger) zullen de grootste condensatoren een aanzienlijk grote capaciteit hebben. Daardoor zal mismatch relatief minder invloed hebben. Een nadeel bij het gebruik van grotere condensatoren is meer energieverbruik. Er wordt namelijk tijdens elke iteratie energie uit de voeding verbruikt tot de spanningen over de condensatoren terug stabiel zijn op tijdstip T_P . De hoeveelheid energie is, zoals besproken in [10], gegeven door:

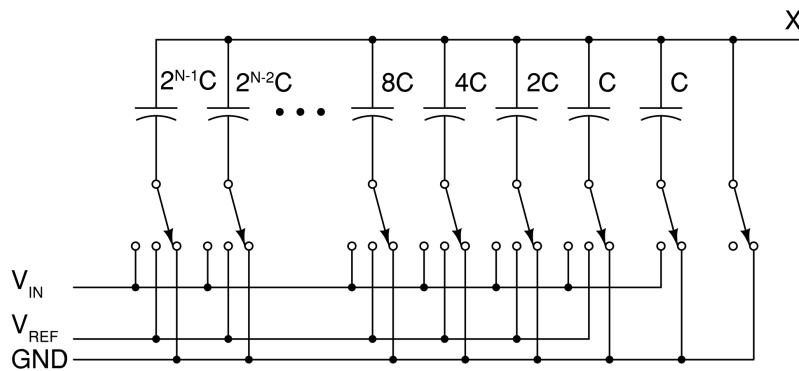
$$E = \int_0^{T_P} i_{REF}(t) V_{REF} dt = V_{REF} \int_0^{T_P} i_{REF} dt \quad (2.2)$$

De stroom i_{REF} is de stroom die wordt opgenomen uit de voeding. Deze is gelijk aan $i_{REF} = dQ_{REF}/dt$. Als gevolg is het mogelijk vergelijking 2.2 te vereenvoudigen naar:

$$E = V_{REF} \int_0^{T_P} \frac{dQ_{REF}}{dt} dt = V_{REF} \cdot \Delta Q_{REF} \quad (2.3)$$

Waarbij ΔQ_{REF} de lading is die tijdens de iteratie van de voeding naar de condensator-array loopt. Het is mogelijk de waarde van deze hoeveelheid lading te berekenen [10]. Tijdens elke iteratie zullen condensatoren verbonden zijn met V_{REF} . De hoeveelheid lading die zich op het einde van de iteratie op deze condensatoren verbonden met V_{REF} bevindt, is gedefinieerd als Q_2 . Het verschil van Q_2 met de lading die initieel aanwezig was op dezelfde condensatoren aan het begin van de iteratie Q_1 resulteert in de nodige waarde van $\Delta Q = Q_2 - Q_1$. Door het invullen in vergelijking 2.3 kan op deze manier steeds de gebruikte energie worden berekend. In [16] is dit weergegeven voor elke iteratie van een 3-bit ADC.

Voor de BWA structuur zijn dit steeds significante waarden. Ook zal er veel oppervlakte nodig zijn voor de grote condensatoren. Daarom zal bij grote resoluties eerder gebruik worden gemaakt van een andere structuur.



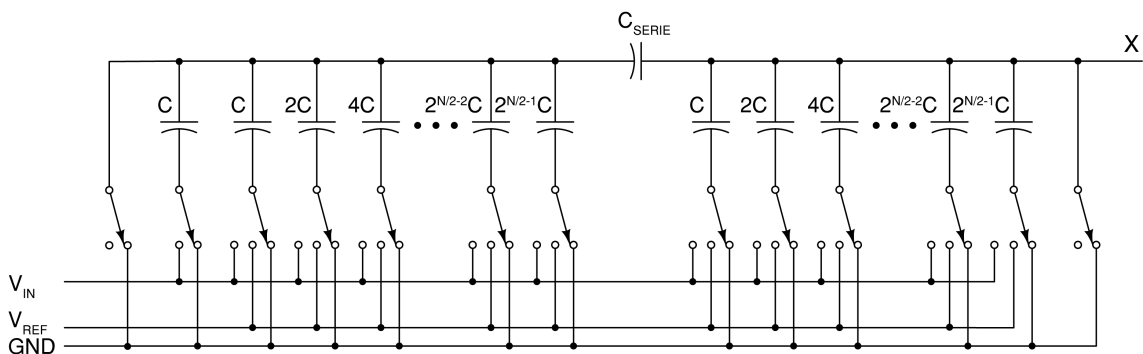
Figuur 2.3: Binair gewogen condensator-array

2.4.2 Twee traps condensator-array met seriecondensator

Figuur 2.4 illustreert de structuur van een twee traps DAC met seriecondensator. De DAC is opgedeeld in 2 verschillende arrays die zijn gescheiden door een seriecondensator. Links van de seriecondensator C_{SERIE} bevindt zich de LSB array en rechts de MSB array. Als definitie is de capaciteit van de seriecondensator gegeven door:

$$C_{SERIE} = \frac{\sum \text{Capaciteiten LSB array}}{\sum \text{Capaciteiten MSB array}} \quad (2.4)$$

De grootste capaciteit in de DAC bedraagt nu $2^{N/2-1}C$. Dit is slechts de helft van de initiële BWA structuur. Er zal duidelijk een voordeel zijn in nodige oppervlakte en energie verbruik.



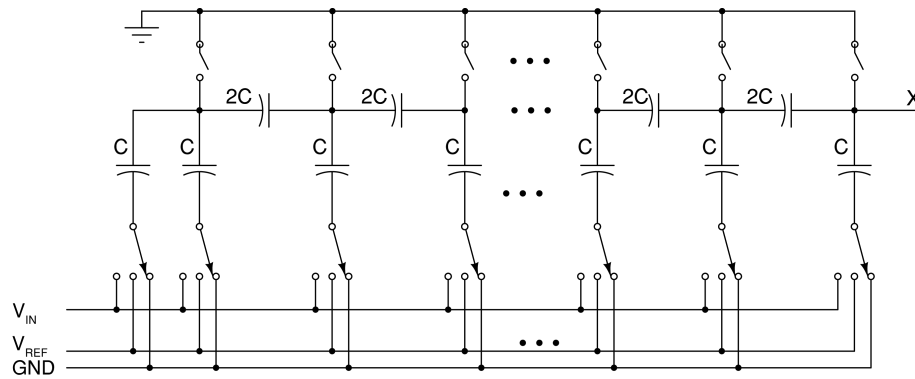
Figuur 2.4: DAC met seriecondensator

Merk op dat de seriecondensator een fractionele capaciteit heeft. Daarom is deze moeilijk te matchen wat leidt tot niet-lineariteiten [6]. Door het segmenteren van de array zullen de parasitaire capaciteiten van de MSB en LSB array verschillen. Ook dit leidt tot niet-lineariteiten [11].

Het is perfect mogelijk de DAC op te delen in meer dan 2 sub-arrays. Naarmate er meer wordt gesegmenteerd zal de grootste capaciteit verkleinen. Er zal daarentegen ook steeds meer gevaar zijn voor niet-lineariteiten.

2.4.3 C-2C condensator-array

Een variant op de twee traps condensator-array is de C-2C DAC. Deze is volledig gesegmenteerd zodat het volledige circuit enkel bestaat uit condensatoren met capaciteit C en $2C$. De C-2C DAC gebruikt significant minder vermogen en haalt hogere snelheden dan voorgaande structuren. Echter zijn de lineariteitsproblemen ook veel groter. De verschillende parasitaire capaciteiten hebben een sterke invloed op de lineariteit zodat deze structuur weinig voorkomt.



Figuur 2.5: C-2C condensator-array DAC

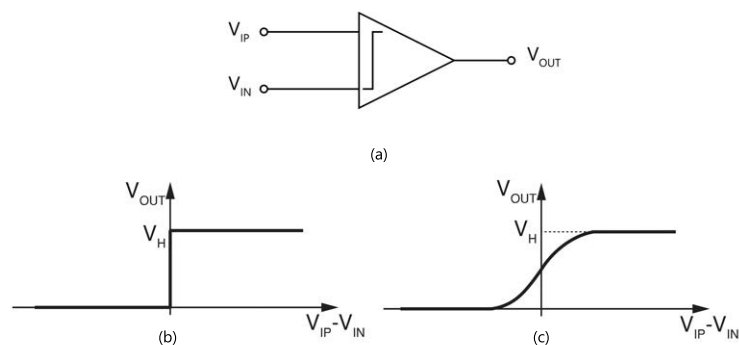
Hoofdstuk 3

Comparator

De voorgestelde 12-bit SAR ADC bevat, zoals alle andere ADC's, een comparator. Een goed comparator circuit is van cruciaal belang voor de goede werking van een ADC. Deze bepaalt onder meer de precisie en snelheid. De comparator wordt aldus ook uitvoerig besproken. In een eerste deel van dit hoofdstuk wordt de performantie van de comparator besproken. In het tweede deel staat de vergelijking van verschillende structuren beschreven alsook de werking en bijhorende voor- en nadelen. Het derde en laatste deel gaat over het uiteindelijke voorgestelde comparator ontwerp. In dit deel is een effectief ontwerp gerealiseerd van één van de structuren uit het tweede deel. Alle beslissingen omtrent de gemaakte keuzes worden verantwoord met bijhorende simulaties.

3.1 Performantie

De transferkarakteristiek van een ideale comparator is gegeven in figuur 3.1 (b). De comparator geeft een logische '1' aan de uitgang indien de spanning op de positieve ingang hoger is dan de spanning op de negatieve ingang en een logische '0' in het andere geval. In theorie is een comparator simpelweg een differentiële versterker met oneindige versterking zodat bij het kleinste ingangverschil de uitgang onmiddellijk convergeert naar een logische '1' of '0'. Spijtig genoeg is het in de praktijk niet mogelijk een differentiële versterker met een oneindige versterking te ontwerpen. De échte transferkarakteristiek zal daarom meer lijken op figuur 3.1(c). Bij kleine ingangverschillen zal de uitgang nu geen logische '1' of '0' meer aannemen maar eerder een waarde tussenin.

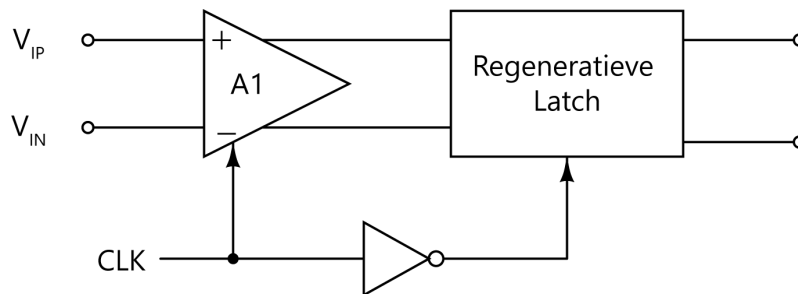


Figuur 3.1: Symbool comparator (a), ideale transferkarakteristiek (b), échte transferkarakteristiek (c)

Dit vormt een probleem bij ADC's. Naargelang de voedingsspanning en de resolutie kan de spanningswaarde van 1LSB zeer klein worden. In de voorgestelde 12 bit ADC is dit, bij een voedingsspanning van 1.2V, zelfs maar $300\mu\text{V}$. Voor een goede werking van de ADC moet dergelijk verschil op z'n minst onderscheiden kunnen worden door de ADC.

Daarom wordt bij ADC's meestal gebruik gemaakt van een andere structuur. Een structuur die werkt op basis van een regeneratieve latch. Het voordeel van een latch structuur is dat deze maar 2 stabiele uitgangen heeft. Aan het begin van de klokpuls wordt de latch steeds naar zijn metastabiele toestand gebracht. Bij het kleinste ingangsverschil (of door ruis) zal de herstellende werking van de latch ervoor zorgen dat de uitgang uiteindelijk altijd één van de stabiele (en gewenste) toestanden bereikt.

Omdat de comparator nu ook gebruik maakt van een kloksignaal zal er een significante vermindering in vermogen zijn. De latch kan ook in combinatie met voorversterker gebruikt worden zoals in figuur 3.2.



Figuur 3.2: latch gebaseerde comparator met voorversterker

3.1.1 Herstellen van overdrive

Tijdens het bemonsteren van een signaal kunnen de ingangsniveaus van de comparator zeer hard variëren van de ene op de andere klokcyclus. Het kan bijvoorbeeld voorkomen dat er in een bepaalde klokcyclus een zeer groot ingangsverschil aanwezig is aan de ingangen van de comparator. Indien in de volgende klokcyclus een zeer klein ingangsverschil aanwezig is, moet dit ook op de juiste manier geïnterpreteerd worden. De schakeling moet dus herstellen van het grote verschil en de correcte beslissing maken op het kleine spanningsverschil.

Men test dit 'herstellen' door achtereenvolgens een zeer groot (Full Scale) en zeer klein verschil (vb 0.5LSB) aan te leggen aan de comparator. De comparator zou het kleine verschil juist moeten verwerken.

3.1.2 Metastabiliteit

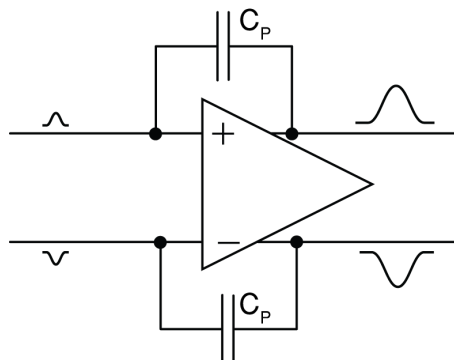
In latch gebaseerde comparators kan zich een grote fout genaamd metastabiliteit voordoen. Kort gezegd wil dit zeggen dat de comparator geen duidelijke logische uitgang kan genereren voor een bepaalde duur.

De werking van de comparator uit Figuur 3.2 waarbij een voorversterker wordt gebruikt is opgedeeld in 2 fasen nl. de precharge of reset fase en de evaluatiefase. Tijdens de eerste fase worden inwendige nodes op of ontladen zodat de latch naar zijn metastabiele toestand gaat. Tijdens de tweede fase treedt de regeneratieve werking van de latch op. Beide fasen duren een halve klok-

periode. De latch heeft dus slechts een halve klokperiode voor het genereren van een logische uitgang. Echter hoe kleiner het ingangsverschil aan de comparator, hoe meer tijd de latch nodig heeft een logische uitgang te genereren. Met zeer kleine ingangssignalen kan het dus voorkomen dat de uitgang van de comparator aan het einde van de negatieve klokperiode nog niet hoog of laag genoeg is zodat deze door de volgende poort nog niet duidelijk als logische '0' of '1' geïnterpreteerd kan worden. Indien de uitgang van de comparator niet hoog genoeg geraakt zal de SAR logica dit interpreteren als een '0'. Kleine positieve verschillen aan de ingang van de comparator zullen dus toch zorgen voor een logische '0' aan de uitgang zodat dit fenomeen equivalent is aan een offset zoals besproken in sectie 3.1.4

3.1.3 Kickback noise

In de gebruikte comparator structuren kan het gebeuren dat door bijvoorbeeld bij het wisselen van de klokperiode op inwendige nodes sterke spanningsvariaties teweeg komen. Deze sterke variaties gebeuren met steile flanken en bevatten dus hoge frequenties. Omdat de impedantie van de parasitaire capaciteiten van de transistoren afneemt naargelang de frequentie stijgt, kan het gebeuren dat deze steile flanken capacitief worden door gekoppeld naar andere nodes. Een sterke variatie op een interne node dichtbij de ingang kan dus door de parasitaire capaciteiten van de ingangstransistoren zorgen voor variaties op de ingangen. Dit fenomeen wordt ook wel 'kickback noise' genoemd.

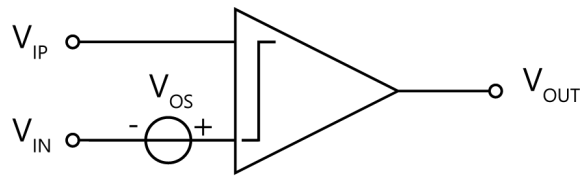


Figuur 3.3: Kickback noise door parasitaire capaciteiten C_P

Figuur 3.3 illustreert het effect waarbij door kickback noise een transiënt op de uitgang van de comparator een invloed teweeg brengt op de ingang.

3.1.4 Offset

Statische offset verandert het gedrag van de comparator. Als gevolg van offset kan het voorkomen dat de uitgang van de comparator hoog is terwijl het ingangsverschil negatief is of vice versa. Offset wordt steeds gerefereerd naar de ingang en kan daardoor voorgesteld worden als een bijkomende DC spanningsbron aan één van de ingangen van de comparator. Indien er zich een offset bevindt aan de negatieve ingang van de comparator zal de comparator pas bij een ingangsverschil groter dan deze offset spanning een logische '1' geven. Bij een SAR ADC heeft dit dezelfde invloed op alle niveaus zodat de transferkarakteristiek verschuift met een verschil gelijk aan de offset van de comparator.



Figuur 3.4: Comparator offset

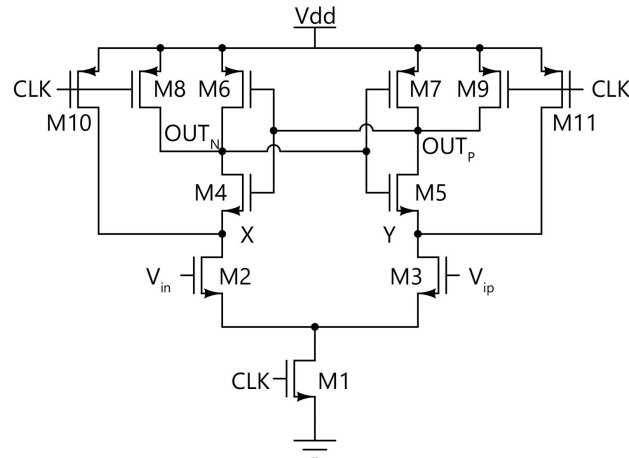
De reden dat er offset optreedt in CMOS schakelingen is door mismatch. Bij het gebruik van identieke transistoren blijkt dat er door procesvariaties toch kleine verschillen zijn. De grootte van deze verschillen zijn willekeurig en bevinden zich in de treshold spanning V_{th} en de stroom factor ($\beta = \frac{\mu C_{ox} W}{L}$). Omdat deze parameters dus toch niet helemaal hetzelfde zullen zijn voor het ingangspaar zal er een offset ontstaan.

3.2 Dynamic Latched Comparator

Zoals eerder al besproken worden comparators voor ADC toepassingen meestal geïmplementeerd met een regeneratieve latch. De reden is omdat deze comparators in principe een oneindige versterking hebben, als er maar lang genoeg wordt gewacht. In deze sectie volgen 2 implementaties van zo een comparator. Eerst een korte uitleg over de eentraps StrongArm comparator. Daarna volgt een introductie over de tweetraps comparator die effectief zal geïmplementeerd worden in de uiteindelijke 12 bit ADC.

3.2.1 StrongArm comparator

De strongArm latch zoals weergegeven in figuur 3.5 is terug te vinden in vele toepassingen waarbij het gebruikt wordt als sense amplifier [3] voor bijvoorbeeld het uitlezen van geheugenblokken, comparator [6] of gewoon als latch. Het is een zeer populaire structuur vanwege verschillende redenen. De StrongArm latch verbruikt bijvoorbeeld geen statisch vermogen. Verder heeft de schakeling een rail-to-rail uitgangszwaai zodat ze eenvoudig gekoppeld kan worden aan digitale logica.



Figuur 3.5: StrongArm comparator

In de eerste fase is de klok CLK laag. Transistor M1 staat uit en er kan dus geen stroom meer vloeien door ingangspaar M2 en M3. De nodes X,Y, OUT_N en OUT_P worden opgeladen tot V_{DD}.

In de tweede fase gaat de klok hoog en start de regeneratieve werking. De transistoren M8,M9, M10 en M11 gaan uit. Transistor M1 schakelt aan waardoor nu wel stroom kan vloeien door het ingangspaar. De grootte van deze stromen zijn afhankelijk van V_{IP} en V_{IN}. Deze bestaan uit een common mode spanning en een differentiele afwijking van deze common mode spanning. Als gevolg is het mogelijk de stromen I_2 door M2 en I_3 door M3 te bepalen d.m.v. een reeksontwikkeling:

$$I_2 = I(V_{IP}) = I(V_{CM} + \Delta V) = I(V_{CM}) + \frac{\partial I}{\partial V_{GS}} \Delta V_2 \quad (3.1)$$

$$I_3 = I(V_{IN}) = I(V_{CM} + \Delta V) = I(V_{CM}) + \frac{\partial I}{\partial V_{GS}} \Delta V_3 \quad (3.2)$$

Waarbij $\Delta V_2 = V_{IP} - V_{CM}$ en $\Delta V_3 = V_{IN} - V_{CM}$. De afgeleide in vergelijking 3.1 en 3.2 is de definitie van de transconductantie g_m van een transistor. Omdat $2V_{CM} = V_{IP} + V_{IN}$ wordt $\Delta V_2 = (V_{IP} - V_{IN})/2$ en $\Delta V_3 = -(V_{IP} - V_{IN})/2$. De term $(V_{IP} - V_{IN})$ is gelijk aan de differentieëleingangsspanning v_i zodat:

$$I_2 = I(V_{CM}) + g_{m2} \times \frac{v_i}{2} \quad (3.3)$$

$$I_3 = I(V_{CM}) - g_{m3} \times \frac{v_i}{2} \quad (3.4)$$

Transistoren M2 en M3 zijn identieke transistoren zodat $g_{m2} = g_{m3}$. Uit vergelijking 3.3 en 3.4 kan nu besloten worden dat het stroomverschil $I_2 - I_3$ proportioneel is aan de differentieëleingangsspanning. Als gevolg worden de nodes X en Y ontladen met verschillende snelheid ook proportioneel tot de ingangsspanning. Merk op dat in voorgaande uitleg de veronderstelling werd gemaakt dat beide ingangstransistoren zich steeds in het saturatiegebied bevinden zodat $g_{m2} = g_{m3}$. Dit is niet steeds het geval. Bij het zakken van nodes X en Y zal er een moment voorkomen waarbij één

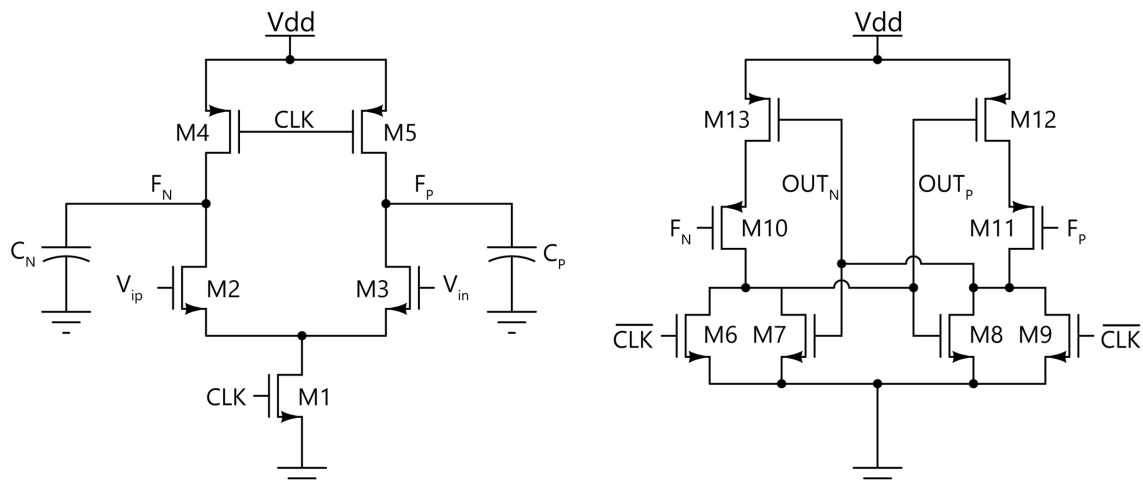
van de transistoren naar het lineair gebied gaat. De transconductanties zijn nu niet meer volledig gelijk. Toch geeft voorgaande uitleg een goede indicatie van wat er zal gebeuren. Meestal zal de regeneratieve werking al gestart zijn voordat één van deze transistoren naar het lineair gebied gaat.

Als bijvoorbeeld $V_{IP} > V_{IN}$ dan zal node X sneller ontladen dan node Y. Op het ogenblik dat de spanning op node X zakt tot onder $V_{DD} - V_{th4}$, gaat NMOS transistor M4 van de invertor in geleiding. Als gevolg begint node X ook te ontladen. Indien node OUT_P zakt tot onder $V_{DD} - |V_{th7}|$ begint de PMOS transistor M7 van de andere invertor te geleiden. Omdat beide invertoren naar een stabiele toestand streven, zal het circuit zich 'herstellen' tot OUT_N laag en OUT_P hoog.

Een groot nadeel van de strongarm latch is grote spanningsvariaties op de drain nodes van het ingangspaar wat leidt tot grote kickback noise. Een oplossing voor grote kickback noise is gebruik te maken van een preamplifier.

3.2.2 Twee traps comparator

Een tweede comparator [9] structuur die besproken wordt in deze thesis maakt gebruik van een voorversterker. Zoals besproken bij de StrongArm latch heeft dit als voordeel een vermindering van kickback noise. De ingang van de comparator is nu van de latch gescheiden d.m.v. de voorversterker. Doorkoppeling van interne nodes van de latch naar de ingang is nu veel minder evident waardoor de ingang hier weinig last van zal hebben.

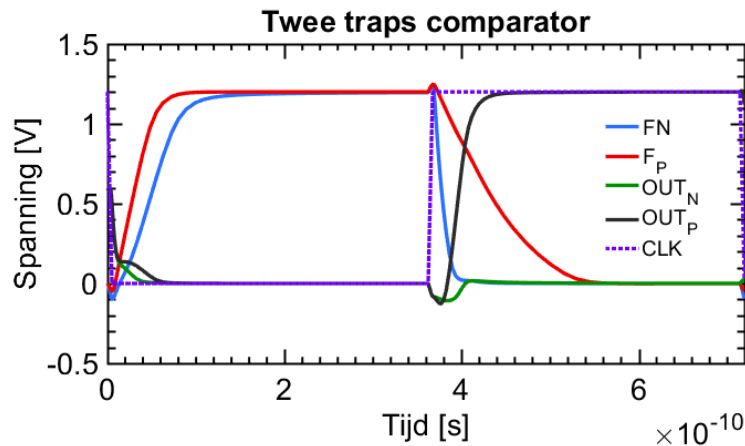


Figuur 3.6: tweetraps comparator bestaande uit voorversterker (links) en latch (rechts)

In figuur 3.6 is het schema van de twee traps comparator weergegeven. De capaciteiten C_P en C_N zijn van cruciaal belang voor de werking van de comparator. Meestal zijn dit simpelweg parasitaire capaciteiten van het circuit. Indien dit niet voldoende is, worden hier extra condensatoren geplaatst. Tijdens de eerste fase is de klok laag. In de voorversterker staat M1 uit waardoor er geen stroom kan vloeien door het ingangspaar. De PMOS transistoren M4 en M5 geleiden en de nodes F_P en F_N worden opgeladen tot V_{DD} . Op hetzelfde moment worden de uitgangsnodes in de latch stage ontladen door M6 en M7 en dus geïnitieerd op 0V.

In de tweede fase is de klok hoog. M1 geleidt zodat er nu wel stroom kan vloeien door het ingangs-

paar. De nodes F_N en F_P worden ontladen met een verschillende snelheid proportioneel tot de ingangsspanning. De stromen door het ingangspaar zijn analoog te berekenen als bij de strong-Arm comparator. Indien de spanning op één van deze nodes zakt tot onder $V_{DD} - |V_{thp}|$ gaat PMOS transistor M10 of M11 van de latch stage aan. Vervolgens stijgt de uitgangsspanning en positieve terugkoppeling wordt geactiveerd. Uiteindelijk hebben beide uitgangen een tegengestelde logische waarde.



Figuur 3.7: Transient simulatie twee traps comparator

In de voorversterker is er enkel vermogen verbruik tijdens het opladen van de nodes F_P en F_N . De energie dissipatie tijdens het opladen van deze condensatoren is gelijk aan $E = (C_P + C_N)V_{DD}^2$ zodat het gemiddelde vermogen $P = (C_P + C_N)V_{DD}^2 \cdot f$ bedraagt. In de latch stage is er verbruik tot de uitgang V_{DD} of GND bereikt. Bij kleine ingangssignalen duurt de tijd om een stabiele uitgang te bereiken langer waardoor het vermogen verbruik toeneemt.

3.3 Simulaties

De twee traps comparator zoals besproken in sectie 3.2.2 is effectief geïmplementeerd voor het ontwerp van de voorgestelde 12 bit SAR ADC. De nodige simulaties voor het gebruik van de comparator in de ADC worden in dit deel beschreven. Het circuit is getekend en gesimuleerd in Cadence costum IC design. Sommige resultaten werden achteraf geïnterpreteerd en gevisualiseerd m.b.v. Matlab.

In alle volgende simulaties zijn de lengtes van alle transistoren steeds minimum gekozen zodat de snelheid maximaal is. Er zullen enkel aanpassingen gebeuren op de breedtes.

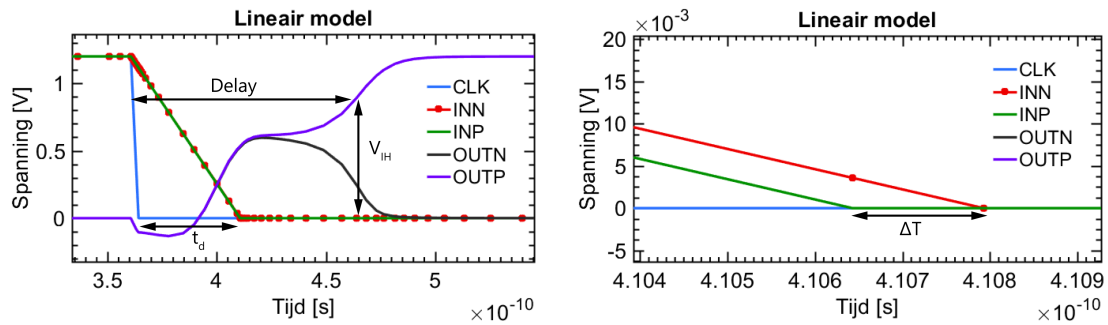
3.3.1 Snelheid

Zoals besproken in sectie 3.1.2 is metastabiliteit een belangrijke parameter in het ontwerp van de comparator. Deze is sterk afhankelijk van de ingangsspanning. Voor kleine ingangverschillen zal het meer tijd kosten voor de uitgang een logische waarde bereikt. Toch is het bij ADC's belangrijk dat zeer kleine verschillen juist onderscheiden worden en dus leiden tot een duidelijke uitgang.

Daarom is het nodig de transistor breedtes van M2 en M3 zodanig te kiezen dat deze toestand zo weinig mogelijk voorkomt. De positieve terugkoppeling in de latch stage wordt pas geactiveerd

als één van de nodes F_N of F_P zakt tot onder $V_{DD} - |V_{thp}|$. Het zakken van de nodes gebeurt door het ontladen van de parasitaire capaciteiten F_N en F_P op die nodes. Indien de breedtes van het ingangspaar in de voorversterker groter zijn, zal er een grotere stroom vloeien. Bijgevolg zullen de capaciteiten dus sneller ontladen en de nodes sneller zakken. Een andere mogelijkheid is de transistoren van de latch stage verkleinen zodat de parasitaire capaciteiten verkleinen. Ook in dit geval zullen de nodes sneller ontladen. Dit heeft echter een nadelige invloed op de ruissimulaties (zie verder).

Alvorens de comparator in zijn geheel te simuleren is het eenvoudiger eerst de latch apart te bekijken. Op deze manier is het mogelijk de complexe werking van de latch beter te begrijpen omdat er geen invloed is van de voorversterker. Ter vervanging van de voorversterker is gebruik gemaakt van een lineair model waarbij de ingangen van de latch worden geïnitieerd op V_{DD} . Op het moment dat de evaluatiefase optreedt nemen deze nodes lineair af. Merk op dat ook hier weer een fout wordt gemaakt. Net zoals bij de StrongArm Latch mag hier eigenlijk geen lineair model gebruikt worden. Toch geeft dit ook hier een zeer goede benadering en is het een goede manier de latch te leren begrijpen.



Figuur 3.8: Latch test met lineair model van voorversterker

Figuur 3.8 geeft het transiënt gedrag weer van de latch. De tijd t_d geeft een indicatie van de gemiddelde helling van het model en dus de gemiddelde ontladsnelheid van nodes F_N en F_P . Bij gebruik van de effectieve voorversterker wordt deze bepaald door de breedtes van de transistoren van het ingangspaar van de voorversterker. Het tijdsverschil Δt hangt af van de differentiëleingangsspanning v_i van de comparator. Vertrekkende van de stroomvergelijkingen I_1 en I_2 door de transistoren van het ingangspaar is het mogelijk een verband af te leiden tussen Δt en v_i . De stromen bestaan enerzijds uit een common-mode stroom I_{CM} en anderzijds uit een differentiële stroom i . Deze laatste is afhankelijk van de transconductantie g_m van de transistoren zodat dit resulteert in volgend verband:

$$I_1 = I_{CM} + i = I_{CM} + g_{m1} \times \frac{v_i}{2} \quad (3.5)$$

$$I_2 = I_{CM} - i = I_{CM} - g_{m2} \times \frac{v_i}{2} \quad (3.6)$$

De lading die wordt vrijgegeven bij het ontladen van een condensator C van spanningswaarde V_{DD} tot GND is gelijk aan $Q = C \cdot V_{DD}$. Het lineaire model ontladde de condensatoren met een constante stroom zodat deze lading zich vertaalt in $Q = I \cdot \Delta T$. Als gevolg is de tijd t_1 en t_2 voor het ontladen

van nodes F_N en F_P gelijk aan:

$$t_1 = \frac{V_{DD} \cdot C_P}{I_1}, \quad t_2 = \frac{V_{DD} \cdot C_F}{I_2} \quad (3.7)$$

Waarbij $C_P = C_N = C$ zodat het tijdsverschil $\Delta t = t_2 - t_1$ te bepalen is als:

$$\Delta t = t_2 - t_1 = V_{DD} \cdot C \cdot \left(\frac{1}{I_2} - \frac{1}{I_1} \right) = V_{DD} \cdot C \cdot \left(\frac{I_1 - I_2}{I_1 I_2} \right) \quad (3.8)$$

Door het invullen van de stroomvergelijkingen 3.5 en 3.6 in vergelijking 3.8 wordt volgend verband bekomen:

$$\Delta t = t_2 - t_1 = V_{DD} \cdot C \cdot \left(\frac{I_{CM} + g_{m1} \cdot \frac{v_i}{2} - (I_{CM} - g_{m1} \cdot \frac{v_i}{2})}{I_{CM}^2 - \frac{g_m^2 v_i^2}{4}} \right) \quad (3.9)$$

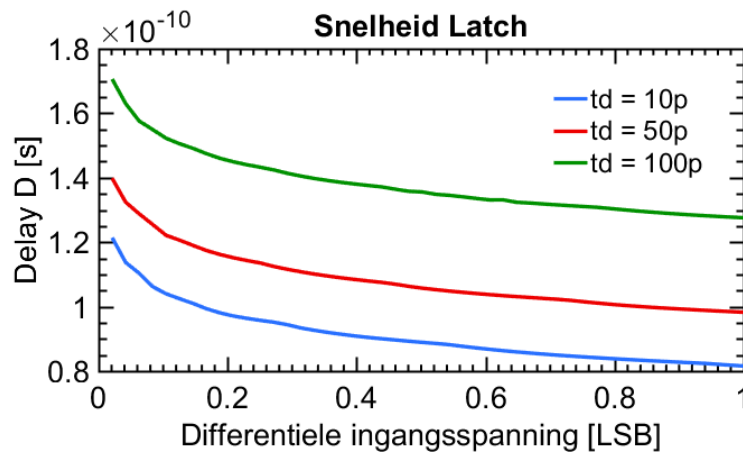
In de teller van vergelijking 3.9 is het mogelijk de common-mode stromen I_{CM} te elimineren. In de noemer zal de term $g_m^2 v_i^2 / 4$ veel kleiner zijn dan I_{CM}^2 zodat deze verwaarloosd kan worden. Na de vereenvoudiging resulteert dit in:

$$\Delta t \approx V_{DD} \cdot C \cdot \left(\frac{g_m \cdot v_i}{I_{CM}^2} \right) = V_{DD} \cdot \frac{C}{I_{CM}} \cdot \frac{g_m}{I_{CM}} \cdot v_i \quad (3.10)$$

De factor C/I_{CM} uit vergelijking 3.10 is door het verband $C \cdot V_{DD} = I_{CM} \cdot t_d$ gelijk aan V_{DD}/t_d . De transconductantie g_m is gelijk aan $2I_{CM}/(V_{GS} - V_T)$ waarbij $V_{GS} - V_T$ meestal gelijk wordt genomen aan 0.2V. Als gevolg vertaalt g_m/I_{CM} zich naar 10 V^{-1} zodat het uiteindelijke verband tussen deingangsspanning en het tijdsverschil gegeven is door:

$$\Delta t = 10 \cdot t_d \cdot v_i \quad (3.11)$$

Door dit verband toe te passen in de simulator en de verschillende parameters te variëren is het mogelijk het gedrag van de latch te bekijken. Figuur 3.9 geeft de invloed weer van het aanpassen van deze parameters op de snelheid. Naarmate het ingangsverschil kleiner wordt, zal de latch meer tijd nodig hebben een logische uitgang te verkrijgen. De invloed van de gemiddelde helling is ook duidelijk af te leiden uit de figuur 3.9. Als deze helling minder steil wordt, zal de positieve terugkoppeling natuurlijk pas later activeren waardoor een significante vertraging is.



Figuur 3.9: Snelheid van latch

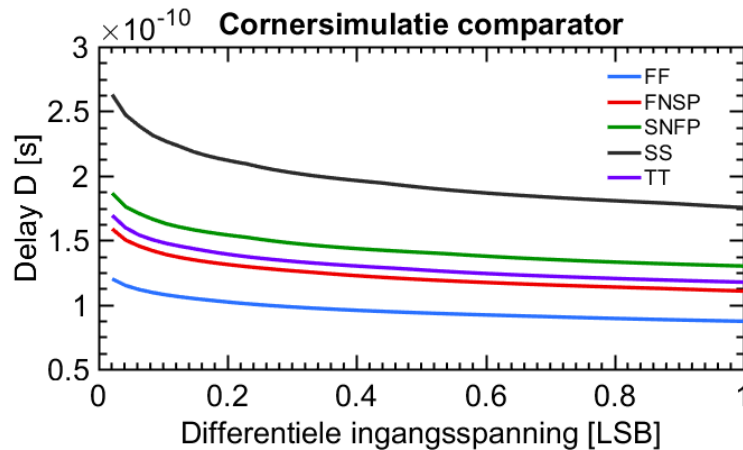
Voorgaande resultaten geven een goede indicatie met welke gemiddelde snelheid de nodes F_P en F_N ontladen moeten worden. Naargelang de opgelegde frequentie is het nu mogelijk de breedtes van alle transistoren van de voorversterker te schatten zodat de snelheid van de latch voldoende hoog is. Vervolgens is het mogelijk deze waarden te optimaliseren m.b.v. de simulator. Merk op dat de transistoren van de latch voor deze simulaties nog minimum zijn gekozen. In volgende simulaties zal dit veranderen. Indien deze vergroten zullen C_P en C_N ook vergroten zodat de transistoren van de voorversterker nog wat aangepast moeten worden.

Als streefwaarde voor de minimum snelheid van de latch is gekozen dat de uitgang binnen 80% van een halve klokperiode boven de V_{IH} (spanning die als logische '1' geïnterpreteerd wordt $V_{IH} = 0,67V_{DD}$) van de achtervolgende logica moet zijn. Door in de simulator de differentieële ingangsspanning te variëren tot kleine waarden is het mogelijk te verifiëren of de comparator steeds voldoet aan de voorwaarde. Is dit niet het geval dienen de transistoren te worden aangepast.

Tot zover is het dus mogelijk de snelheid van de comparator te regelen. Echter zijn tot nu de simulaties gebeurd zonder de procesvariatiën in rekening te brengen. Bij het produceren van de chip treden er namelijk afwijkingen op in de lengte en breedte van de transistor en de dikte van het gate-oxide. Deze procesvariatiën zijn willekeurig en kunnen negatieve gevolgen hebben. In de simulator worden deze gekenmerkt door corners. Een corner geeft aan of de NMOS of PMOS transistoren snel of traag zijn. Een snelle groep betekent dat door procesvariatiën de transistoren uit die groep (NMOS of PMOS) bijvoorbeeld een grotere breedte hebben en dus meer stroom voeren dan verwacht. Er zijn 4 corners nl: SS (NMOS en PMOS traag), SNFP (NMOS traag, PMOS snel), FNPS (NMOS snel, PMOS traag) en FF (beide snel).

Het is van groot belang rekening te houden met dit fenomeen. Door het gebruik van een kleine technologie hebben deze procesvariatiën namelijk een grote invloed. Dit wil zeggen dat als bijvoorbeeld de NMOS transistoren zich in de trage corner bevinden, de vertraging drastisch toeneemt omdat het ingangspaar hier onder lijdt.

De simulatie moet dus herhaald worden voor alle corners. Uit figuur 3.10 blijkt dat de delay in de SS corner bijna dubbel zo groot is als initieel was verwacht (TT = typische corner of ideale situatie zonder procesvariatiën). Om te voorkomen dat volledige wafers (silicium plaat waarop meerdere chips geproduceerd worden) onbruikbaar zijn, moet de snelheid dus afgestemd worden naargelang de slechtste corner. In dit geval is dat de SS corner.



Figuur 3.10: Simulatie snelheid latch over alle corners

Vaak worden ook variaties op de voedingsspanning en de temperatuur in rekening gebracht. Simulaties voor snelheid zullen dan meestal geoptimaliseerd worden voor de SS corner bij 85°C en een voedingsspanning die 10% minder spanning geeft.

3.3.2 Ruis

Het minimum ingangsverschil dat de comparator nog juist verwerkt, wordt gelimiteerd door ruis. Bij een slecht ontworpen circuit zal bij kleine ingangsverschillen de ruis overheersen waardoor de kans op een foute uitgang zeer groot is. Ruis heeft vele verschillende oorsprongen waaronder ook de schakeling zelf. NMOS transistoren genereren namelijk thermische ruis en 'flicker noise' (eigen aan de verbinding tussen het silicium en het gate-oxide)[22]. Het doel van deze simulaties is het aanpassen van de schakeling zodat de beslissing van de comparator niet te hard afhangt van de momentele waarde van de ruis.

Om een goede vergelijking te maken tussen CMOS schakelingen wordt steeds de ingang gerefereerde ruis gezocht. Dit is de equivalente ruis die zich aan de ingang van hetzelfde (maar ruisvrije) circuit zou bevinden. Deze ingang gerefereerde ruis is volledig willekeurig zodat steeds de statistische parameters worden vergeleken.

Allereerst is de vraag hoe groot de ruis van de comparator mag zijn. Een goede indicatie van deze limiet waarde is te bekijken hoeveel ruis er toegevoegd wordt aan het totale circuit. Zelfs bij een ideale ADC is er zoals besproken in sectie 1.2.1 ruis door quantisatie. Bijkomend zal er nu ruis aanwezig zijn door het comparator circuit. De totale ruis is gegeven door de vectoriële som van quantisatie ruis (σ_{nq}) en ruis afkomstig van de comparator (σ_{ncomp}):

$$\sigma_{tot} = \sqrt{\sigma_{nq}^2 + \sigma_{ncomp}^2} \quad (3.12)$$

De ruis toename (in dB) die de comparator in het circuit brengt is gegeven door:

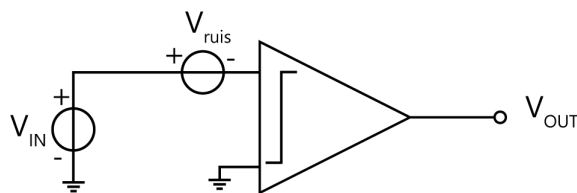
$$20\log(\sigma_{tot}) - 20\log(\sigma_{nq}) = 20\log\left(\frac{\sigma_{tot}}{\sigma_{nq}}\right) \quad (3.13)$$

Waarbij $\sigma_{nq} = LSB/\sqrt{12} \approx 0.3LSB$ (zie sectie 1.2.1). Het zou misschien een goed idee lijken het circuit te ontwerpen zodat de comparator ruis gelijk is aan de helft van de quantisatieruis. Bij het

toepassen van vergelijkingen 3.12 en 3.13 op deze gedachtegang blijkt dat er een toename zou zijn van ongeveer 1dB. Deze toename zal nauwelijks te merken zijn in de grote SNQR van 74dB voor de 12-bit ADC. Als streefwaarde voor volgende simulaties zal dus gepoogd worden de comparator ruis gelijk te maken aan 0.15LSB

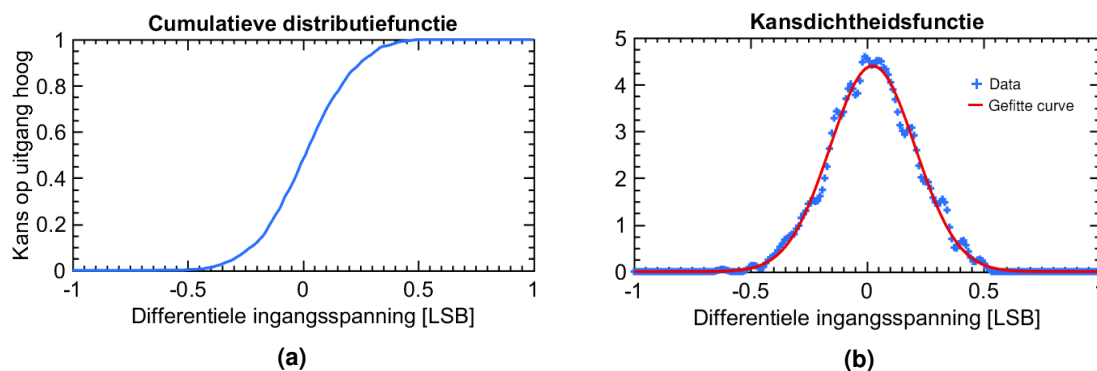
In de Cadence simulator is het mogelijk de ruis afkomstig van het circuit toe te voegen in de simulatie. Bij lineaire versterkers zal de ingang van de schakeling dan simpelweg verbonden worden met 0V zodat enkel de invloed van de ruis zichtbaar is aan de uitgang. De ingangs gerefereerde ruis is in dit geval te bepalen door het delen van de ruis aan de uitgang door de versterking van de schakeling.

De gebruikte comparator is echter geen lineaire versterker. Daarom is in dit geval een andere aanpak nodig voor het berekenen van de statistische parameters van de ingangs gerefereerde ruis [20]. De aanpak die deze thesis voorstelt, werkt op basis van een cumulatieve distributiefunctie.



Figuur 3.11: Comparator met ingangs gerefereerde ruis

Figuur 3.11 toont het model van de ruisvrije comparator met zijn ingangs gerefereerde ruisbron. De uitgang van de comparator zal in dit geval hoog zijn indien $V_{IN} - V_{ruis} \geq 0$ of $V_{ruis} \leq V_{IN}$. Als gevolg is de kans op een hoge uitgang gelijk aan de kans $P(V_{ruis} \leq V_{IN})$. Dit is tevens de definitie van de cumulatieve distributiefunctie of CDF. De CDF geeft de kans weer dat de stochastische variabele V_{ruis} kleiner of gelijk is dan de waarde van deingangsspanning V_{IN} . Door het variëren van deingangsspanning en het meten van de kans op een hoge uitgang kan de volledige CDF bekomen worden. Merk op dat er voor een goede indicatie van deze kans vele simulaties nodig zijn met steeds een unieke voorstelling van de ruis. Daarom zijn in de simulatie steeds 1000 voorstellingen gebruikt.



Figuur 3.12: Cumulatieve distributiefunctie (links), kansdichtheidsfunctie ingangsgerefereerde ruis (rechts)

Figuur 3.12 (a) illustreert het verloop van de cumulatieve distributiefunctie. De afgeleide van de CDF is gelijk aan de kansdichtheidsfunctie (figuur 3.12 (b)) en toont de kans dat de ingangs gerefereerde ruis even groot is als de differentiëleingangsspanning $P(V_{ruis} = V_{IN})$. Deze functie

toont veel informatie over de statistische parameters. Door het toepassen van de definitie van de variantie kan de ruisinvloed van de comparator worden bepaald:

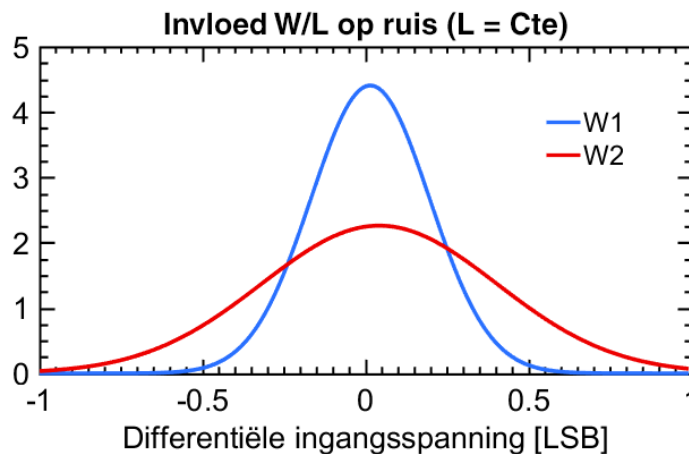
$$\sigma_{ncomp}^2 = \sum_{i=1}^n (V_{IN,i} - \mu)^2 \cdot P(V_{ruis} = V_{IN,i}) \quad (3.14)$$

De variantie geeft een maat voor het vermogen van de ruis. De standaardafwijking (σ_{ncomp}) geeft een maat weer voor de RMS waarde.

Indien deze resultaten niet voldoen aan de streefwaarde moeten de transistoren van de latch breder worden gemaakt. De stroom I door een transistor is recht evenredig met de breedte W van die transistor. De ruisstroom I_n is recht evenredig met de wortel van de transconductantie $\sqrt{g_m}$ [22]. Omdat de transductantie op zijn beurt recht evenredig is met de breedte van de transistor bestaan volgende verbanden:

$$I \sim W, I_n \sim \sqrt{W} \quad (3.15)$$

Bij het vergroten van de breedtes van de transistoren ondervindt de ruisstroom slechts een toename die gelijk is aan de wortel van de toename van de stroom zodat de invloed van de ruis vermindert.



Figuur 3.13: Ruissimulatie voor breedte $W2$ en $W1 = 10 \times W2$

3.3.3 Vermogen verbruik

Steeds meer toepassingen maken gebruik van een batterij voeding. Daarom is het belangrijk het vermogenverbruik in de schakelingen zo laag mogelijk te houden. Vaak is dit ook een zeer bepalende factor in het vergelijken van schakelingen.

Het verbruikte vermogen bestaat deels uit statisch en dynamisch vermogen. Het statisch vermogen in de gebruikte comparator structuur is enkel afkomstig van lekstromen door de schakeling. Bij kleinere CMOS technologieën zijn de gate oxiden dunner uitgevoerd, wat resulteert in grotere lekstromen en een groter statisch vermogen verbruik.

Het dynamisch vermogen is het gevolg van het opladen van de capaciteiten op zowel capacatieve belastingen als interne nodes. Bij het opladen van een capacatieve node wordt er een hoeveelheid stroom verbruikt uit de voeding. Dynamisch vermogen komt dus enkel voor als er een transistor

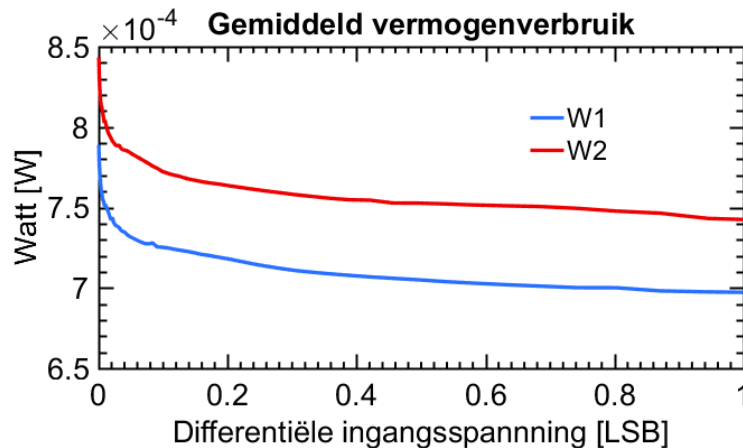
aan of af wordt geschakeld. Het is dus duidelijk afhankelijk van de frequentie. Bij hogere frequenties zullen er sneller transistoren geschakeld worden waardoor het gemiddeld vermogenverbruik toeneemt.

In de voorversterker wordt er enkel vermogen verbruikt tijdens het opladen van de capaciteiten op node F_N en F_P . In de latch wordt er vermogen verbruikt totdat de uitgang een logische waarde bevat. In sectie 3.3.1 werd besloten dat deze tijd afhangt van deingangsspanning. Bij kleineingangssignalen duurt het langer voordat de latch een stabiele toestand bereikt en is er dus een groter gemiddeld vermogen verbruik (zie figuur 3.14).

Het momentele vermogen is sterk afhankelijk van het tijdsmoment. Daarom zal er eerder een gemiddeld vermogen worden gemeten. Het gemiddelde vermogen over één klokperiode T is als volgt berekend:

$$P_{avg} = V_{DD} \cdot I_{avg} = V_{DD} \cdot \frac{1}{T} \cdot \int_t^{t+T} I dt = V_{DD} \cdot F \cdot \int_t^{t+T} I dt \quad (3.16)$$

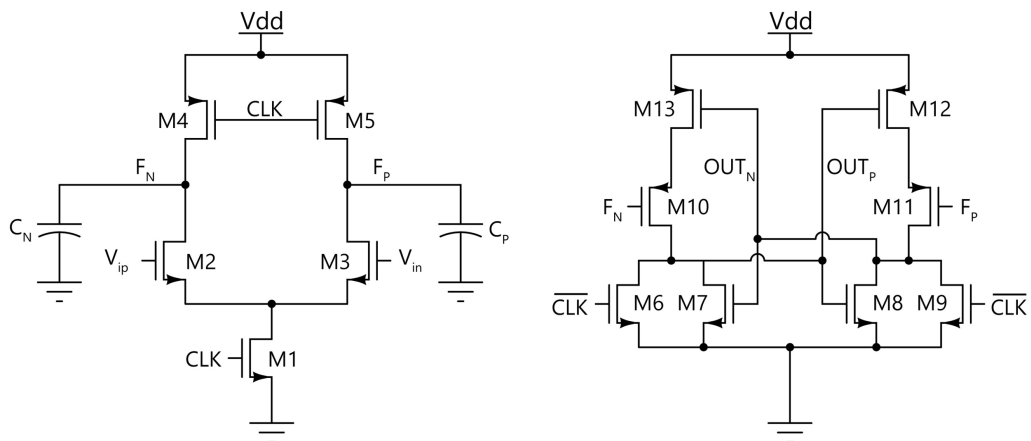
De factor $\int_t^{t+T} I dt$ is gelijk aan de lading Q die uit de voeding wordt opgenomen tijdens één klokperiode. Deze lading is afhankelijk van de capaciteit van de nodes ($Q = C \cdot V$). Bij grotere transistoren nemen de capaciteiten van de nodes toe wat resulteert in een groter vermogenverbruik. Daarom zullen de transistoren steeds zo klein mogelijk worden gekozen. Zoals beschreven in sectie 3.3.2 zorgen kleine breedtes daarentegen ook voor een grote gevoeligheid voor ruis. Het ontwerp is dus een constante afweging van verschillende resultaten en is sterk afhankelijk van de toepassing. In een ADC is ruisgevoeligheid een zeer belangrijke factor omdat de comparator beduidend kleine signalen juist moet kunnen onderscheiden. Daarom zal het nodig zijn iets meer vermogenverbruik toe te laten.



Figuur 3.14: Gemiddeld vermogen over 1 klokperiode $W2 > W1$

3.3.4 Conclusie

Na het uitvoeren van voorgaande simulaties is een volledig ontwerp gerealiseerd van de comparator. Verschillende keuzes zijn gemaakt op basis van de gebruikte ADC toepassing. Alle transistor lengtes zijn steeds minimaal gekozen om een grote snelheid te behalen.



Figuur 3.15: tweetraps comparator bestaande uit voorversterker (links) en latch (rechts)

Tabel 3.1 toont de uiteindelijke eigenschappen van alle transistoren uit figuur 3.15. Het circuit is gesimuleerd op een frequentie van 1.4GHz bij een voedingsspanning van 1.2V.

Met de transistor eigenschappen zoals gegeven in de tabel kan deze comparator perfect worden gebruikt in het verdere ontwerp van de 12-bit ADC. Een frequentie van 1.4GHz zou nog gebruikt kunnen worden in een SAR ADC met bemonsteringsfrequentie van 100MHz. Dit is een zeer hoge waarde en zal waarschijnlijk nog verlagen door andere limiterende kenmerken van de ADC. Toch is, zelfs bij deze frequentie, nog een zeer hoge snelheid behaald. De comparator kan namelijk ingangsverschillen van kleiner dan 0.01LSB onderscheiden binnen de beperkte tijds marge in de slechte SS corner.

Transistor	Breedte W	Lengte L
M1	80 μm	60nm
M2-M3	40 μm	60nm
M4-M5	5 μm	60nm
M6-M9	10 μm	60nm
M7-M8	10 μm	60nm
M10-M11	20 μm	60nm
M12-M13	20 μm	60nm

Tabel 3.1: Definitieve transistor eigenschappen

De enige streefwaarde die niet volledig is behaald is de ruisinvloed. In sectie 3.3.2 werd als streefwaarde 0.15LSB voor de standaardafwijking van de comparator ruis gekozen. Uit de simulaties is de effectieve standaardafwijking tot 0.2LSB gebracht. Het verder verlagen resulteerde in een zéér grote toename van de transistor breedtes uit de latch. Als gevolg steeg ook het vermogenverbruik te sterk. Vermogenverbruik is ook een belangrijke parameter zodat de keuze is gemaakt de comparator ruis te behouden op een standaardafwijking van 0.2LSB.

Bij deze instelling bedraagt het maximum vermogenverbruik van de comparator ongeveer 800 μW . Dit is enkel voor heel kleineingangsspanningen. Omdat de comparator de bepalende factor is voor het vermogenverbruik van de volledige ADC zal ook deze zich ongeveer bevinden rond deze waarde.

Hoofdstuk 4

Controle Logica

De SAR controle logica is het hart van het zoekalgoritme. Stap voor stap bepaalt deze het digitale woord. Na de laatste iteratie van het algoritme kan het digitale woord worden uitgelezen.

Er zijn verschillende implementaties van de controle logica [16],[1]. Alle implementaties verschillen in de schakelprocedure van de condensatoren. Omdat deze allemaal beginnen van de conventionele methode [1] zal enkel deze besproken worden in dit hoofdstuk.

4.1 Werking

De werking van de logica zal duidelijk worden gemaakt aan de hand van een Finite-State Machine. Daarna volgt een implementatie gerealiseerd met Data Flipflops.

4.1.1 Finite-State Machine

Het binaire zoekalgoritme, dat zich bevindt in de controle logica, zal steeds dezelfde procedure herhalen. Na de laatste iteratie van het zoekalgoritme zal de logica steeds terugkeren naar een reset-toestand vanwaar deze opnieuw zal beginnen. Als gevolg kan het algoritme voorgesteld worden als een Finite-State Machine (FSM) [13]. Tabel 4.1 geeft dit FSM model weer voor een 12-bit ADC waarbij elke iteratie van het algoritme is voorgesteld als een toestand in het model.

De operatie van de SAR ADC werd in sectie 2.1.1 al uitvoerig besproken zodat de vertaling naar een FSM eenvoudig gebeurt.

De eerste toestand van het model zal overeenkomen met de bemonsteringsfase. Deze is in tabel 4.1 weergegeven door toestand 0. Het is zeer belangrijk dat het FSM model altijd terugkeert naar deze toestand als de laatste iteratie is voltooid. Daarom is gebruik gemaakt van een actief-laag reset signaal. Telkens als een reset voorkomt ($\overline{\text{RESET}} = '1'$), zal het model terugkeren naar de bemonsteringsfase of toestand 0.

Na de bemonsteringsfase zal de controle logica elke bit één voor één hoog maken en beslissen of deze al dan niet hoog moet blijven. Deze beslissing hangt af van het resultaat van de comparator (in tabel weergegeven door COMP). Indien deze hoog is, zal de bit '1' blijven. Als dit niet het geval is, zal de bit '0' worden. In tabel 4.1 is het resultaat van dergelijke beslissing voor bit $D[i]$ weergegeven door C_i .

Toestand	RESET	D[11]	D[10]	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	COMP
0	1	0	0	0	0	0	0	0	0	0	0	0	0	-
1	0	1	0	0	0	0	0	0	0	0	0	0	0	C ₁₁
2	0	C ₁₁	1	0	0	0	0	0	0	0	0	0	0	C ₁₀
3	0	C ₁₁	C ₁₀	1	0	0	0	0	0	0	0	0	0	C ₉
4	0	C ₁₁	C ₁₀	C ₉	1	0	0	0	0	0	0	0	0	C ₈
5	0	C ₁₁	C ₁₀	C ₉	C ₈	1	0	0	0	0	0	0	0	C ₇
6	0	C ₁₁	C ₁₀	C ₉	C ₈	C ₇	1	0	0	0	0	0	0	C ₆
7	0	C ₁₁	C ₁₀	C ₉	C ₈	C ₇	C ₆	1	0	0	0	0	0	C ₅
8	0	C ₁₁	C ₁₀	C ₉	C ₈	C ₇	C ₆	C ₅	1	0	0	0	0	C ₄
9	0	C ₁₁	C ₁₀	C ₉	C ₈	C ₇	C ₆	C ₅	C ₄	1	0	0	0	C ₃
10	0	C ₁₁	C ₁₀	C ₉	C ₈	C ₇	C ₆	C ₅	C ₄	C ₃	1	0	0	C ₂
11	0	C ₁₁	C ₁₀	C ₉	C ₈	C ₇	C ₆	C ₅	C ₄	C ₃	C ₂	1	0	C ₁
12	0	C ₁₁	C ₁₀	C ₉	C ₈	C ₇	C ₆	C ₅	C ₄	C ₃	C ₂	C ₁	1	C ₀
13	0	C ₁₁	C ₁₀	C ₉	C ₈	C ₇	C ₆	C ₅	C ₄	C ₃	C ₂	C ₁	C ₀	-

Tabel 4.1: Finite State Machine Controle Logica 12-bit ADC

4.1.2 D-Flipflop gebaseerde logica

De implementatie van het FSM gebeurt d.m.v. Data-Flipflops of D-FF's. De conventionele realisatie is weergegeven in figuur 4.1. De bovenste rij D-FF's beschikken over een synchrone set en clear. Indien een verandering plaatsvindt aan de SET of CLR ingang zal de flipflop pas reageren bij een stijgende flank van de klok. De onderste rij D-FF's zullen direct reageren bij een verandering aan de SET of CLR ingang. De set en clear zijn in dit geval asynchroon. Beide waarheidstabellen zijn weergegeven in tabel 4.2. De toestanden waarbij een '*' staat aan de uitgang zijn verboden toestanden. In deze toestanden zal de uitgang onvoorspelbaar zijn.

SET	CLR	CK	D	Q	\bar{Q}
0	1	↑	x	0	1
1	0	↑	x	1	0
0	0	↑	x	*	*
1	1	↑	0	0	1
1	1	↑	1	1	0
x	x	0	x	Q	\bar{Q}
x	x	1	x	Q	\bar{Q}

SET	CLR	CK	D	Q	\bar{Q}
0	1	x	x	0	1
1	0	x	x	1	0
0	0	x	x	*	*
1	1	↑	0	0	1
1	1	↑	1	1	0
x	x	0	x	Q	\bar{Q}
x	x	1	x	Q	\bar{Q}

Tabel 4.2: Waarheidstabel D-FF met synchrone (links) en asynchrone (rechts) set en clear

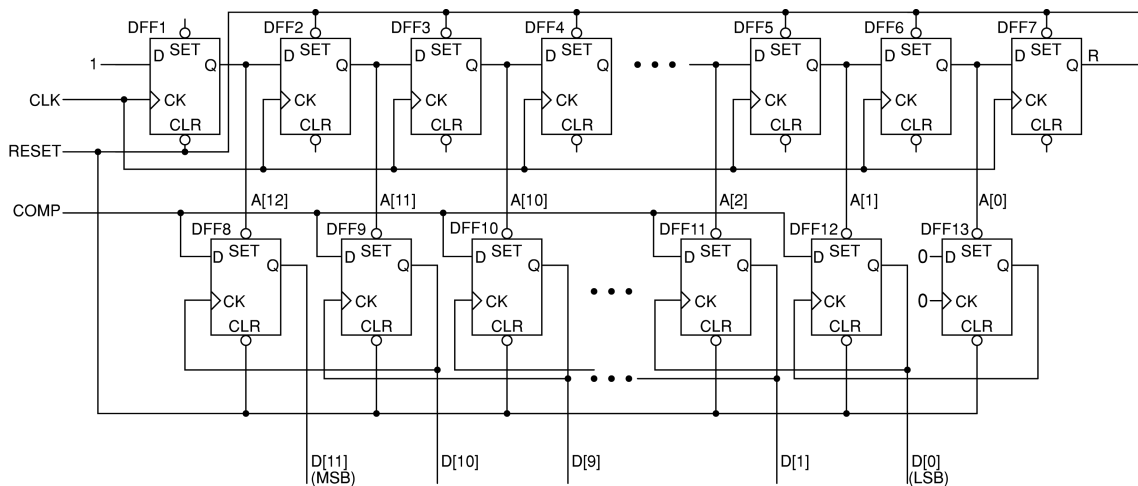
Tijdens de bemonsteringsfase (RESET = '0') zullen de uitgangen van alle flipflops uit de onderste rij D[0-11] '0' worden (CLR = actief laag). Dit komt overeen met de eerste toestand van het FSM model. Zodra de klok een stijgende transitie ondergaat zullen de uitgangen van de synchrone flipflops A[0-12] een transitie ondergaan. DFF1 zal een lage uitgang verkrijgen. Als gevolg zal de uitgang van DFF8 uit de onderste rij hoog worden. Alle andere synchrone flipflops zullen een hoge uitgang verkrijgen zodat de uitgangen van de resterende flipflops uit de onderste rij laag blijven. Dit is de eerste stap in het zoekalgoritme waarbij de MSB '1' is en alle andere bits '0' zijn. Deze digitale waarde zal omgezet worden door de DAC waarna een vergelijking volgt met de analoge ingangsspanning. Vervolgens zal de comparator een beslissing maken. De waarde van deze

beslissing zal in de logica worden gebracht d.m.v. het signaal COMP.

Indien de klok een volgende stijgende transitie ondergaat zal de '0' die zich initieel op uitgang A[12] stond een plaats opschuiven naar rechts. Uitgang A[11] zal nu '0' worden. Omdat de Data ingang van DFF1 verbonden is met een logische '1' zal uitgang A[12] terug hoog gaan. Deze '0' zal bij elke stijgende klok transitie doorschuiven doorheen de bovenste rij flipflops. Deze fungeren als een rechtslopend schuifregister voor deze '0'.

Als A[11] '0' wordt, zal uitgang D[10] hoog gaan. Dit is tevens de 2de bit van het digitale woord. De positieve transitie van D[10] brengt een stijgende flank op de CK ingang van DFF8. Als gevolg zal de beslissing van de comparator voor de MSB, die zich bevindt aan de D ingang van DFF8, doorgegeven worden naar uitgang D[11]. Dit komt overeen met de 2de iteratie van het binair zoekalgoritme. De digitale uitgang bedraagt nu "0100..00" of "1100..00" afhankelijk van voorgaande beslissing.

Op deze manier zal de controle logica elke bit één voor één hoog maken terwijl de beslissing van voorgaande bit wordt doorgegeven naar de uitgang. Na de laatste iteratie van het zoekalgoritme zal de '0' in het schuifregister zich bevinden op de ingang van DFF7. Indien de klok een volgende positieve transitie ondergaat, zal de uitgang van DFF7 ervoor zorgen dat het RESET signaal terug laag gaat en het proces terug start met de bemonsteringsfase.

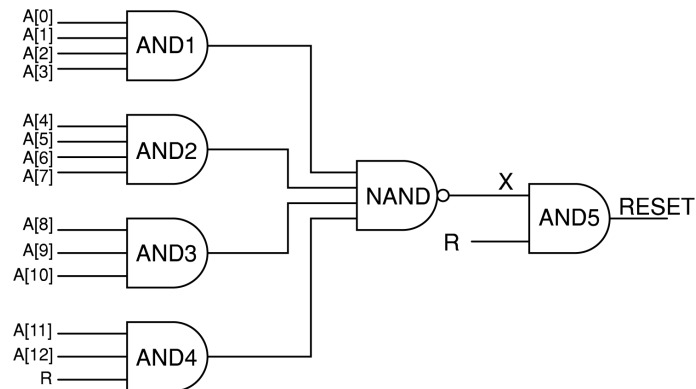


Figuur 4.1: Controle logica 12-bit ADC

In figuur 4.1 wordt verwacht dat het signaal van de comparator zijn logische waarde behoud tot deze is doorgegeven aan de uitgang van één van de asynchrone flipflops. In de praktijk zal dit niet het geval zijn. Daarom is gebruik gemaakt van een extra D-FF die de uitgang van de comparator bewaard tot deze gebruikt wordt in de logica.

Een groot probleem bij het gebruik van de schakeling uit figuur 4.1 zijn de initiële uitgangswaarden van de flipflops. Bij het starten van een schakeling is nooit zeker in welke toestand de uitgangen van een flipflop zich bevinden. Indien alle synchrone flipflops (DFF1-DFF7) initieel een hoge uitgang hebben, doet zich een groot probleem voor. Op deze manier zal het resetsignaal nooit geactiveerd kunnen worden. Er bevindt zich namelijk geen '0' in het schuifregister waardoor het nooit uit deze toestand zal geraken.

In deze thesis is dit probleem opgelost zoals weergegeven in figuur 4.2. De uitgang van DFF7 zal niet meer rechtstreeks verbonden zijn met het resetsignaal maar eerder via volgende schakeling.



Figuur 4.2: Het genereren van RESET

Indien effectief de toestand voorkomt waarbij alle flipsflops van het schuifregister een hoge uitgang bezitten, zulleningangssignalen A[0-12] en R hoog zijn. Als gevolg zijn de uitgangen van de AND-poorten AND1-AND4 hoog waardoor de uitgang van de NAND-poort laag is. Omdat X '0' bedraagt zal de RESET '0' zijn en dus geactiveerd worden. De controle logica zal zich herstellen en zijn werking juist verder zetten.

Indien er zich geen probleem voordoet in de controle logica zal de uitgang R van DFF7 nog steeds het resetsignaal kunnen activeren.

Hoofdstuk 5

Systemsimulatie

Zoals reeds besproken in sectie 1.2 zijn er verschillende parameters voor het uitdrukken van de performantie van een ADC. Dit hoofdstuk beschrijft 2 methoden voor het meten van de differentiële niet-lineariteit (DNL) en integrale niet-lineariteit (INL). Eerst volgt een bespreking van een vaak gebruikte aanpak waarbij gebruik wordt gemaakt van een histogram. In een tweede deel staat een eigen methode beschreven.

5.1 Histogram test

Voor het meten van de INL en DNL van een ADC zal er vaak een histogram test worden toegepast [8],[4]. Een histogram toont hoe vaak elke individuele digitale code voorkomt. Bij gebruik van eeningangssignaal met gekende kansdichtheidsfunctie en een ideale ADC is het mogelijk dit histogram te voorspellen. Het eenvoudigste ingangssignaal voor deze test is een ramp functie. Als deze maar traag genoeg stijgt zal bij een ideale ADC, waar alle digitale codes juist 1 LSB uit elkaar liggen, elke code even vaak voorkomen.

Bij een ADC die niet-lineariteiten bevat zal het histogram anders zijn dan verwacht. Omdat sommige digitale codes bestaan uit een groter (resp. kleiner) spanningsinterval zullen deze vaker (resp. minder vaak) voorkomen in het histogram. Door deze afwijkingen van het ideale histogram is het mogelijk de DNL en INL te berekenen. Merk op dat de ramp functie perfect lineair moet zijn. Afwijkingen op de idealiteit van deze functie zorgen ook voor fluctuaties in het histogram waardoor de nauwkeurigheid van de test afneemt.

5.1.1 Werking

Door het bemonsteren van een ramp functie en het meten hoe vaak elke uitgangscodes voorkomt wordt het spanningsbereik van elke code gemeten. Naarmate het ingangssignaal trager stijgt en er dus meer bemonsteringen per code gebeuren, zal de meting nauwkeurig worden. Echter zal dit voor ADC's met grote resolutie resulteren in zeer lange simulaties.

De differentiële niet-lineariteit beschrijft de afwijking op het spanningsbereik t.o.v. een ideale ADC en is voor code $[i]$ gedefinieerd als volgt:

$$DNL[i] = \frac{V_{out}(i+1) - V_{out}(i)}{1LSB} - 1 \quad (5.1)$$

De term $V_{out}(i)$ is de laagste spanningswaarde die als uitgang code i geeft. De teller uit vergelijking 5.1 is dus simpelweg het spanningsbereik van code i . Bij een ideale ADC is de teller steeds gelijk aan de spanningswaarde van 1 LSB zodat er geen DNL ($DNL = 0$) is.

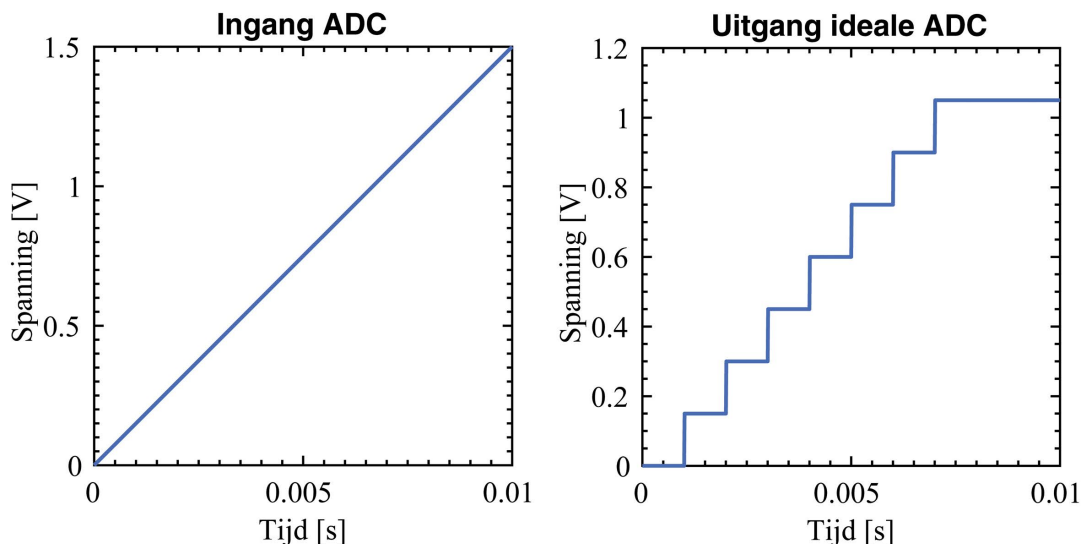
Bij een histogram test is het ook mogelijk deze vergelijking te implementeren. De helling van de ramp functie is bijvoorbeeld zo gekozen dat voor een ideale ADC elke code 100 keer voorkomt. Dit is het aantal bemonsteringen voor een ideale ADC en gelijk aan de noemer van de vergelijking. De teller is het effectieve aantal bemonsteringen per code voor een niet-ideale ADC. Deze waarden zijn terug te vinden in het histogram.

Bij gebruik van 100 bemonsteringen per code is de nauwkeurigheid van het spanningsbereik (en dus ook de DNL) gelijk aan 0,01LSB.

Volgend voorbeeld illustreert de werking van de histogram test waarbij gebruik is gemaakt van een Simulink model van een 3-bit ADC. De bemonsteringsfrequentie f_s bedraagt 100kHz en de ADC wordt gebruikt om signalen van 0V tot 1.2V te bemonsteren. De histogram test gebeurt met een ramp ingangssignaal. Gevraagd is een nauwkeurigheid van 0.01LSB.

5.1.2 Voorbeeld

Allereerst is het nodig de helling van de ramp functie te berekenen. Een 3-bit ADC beschikt over $2^3 = 8$ kwantisatieniveaus. De spanningswaarde van 1 LSB bedraagt $\frac{1.2V}{8} = 0.15V$. Voor een nauwkeurigheid te halen van 0.01LSB moeten er gemiddeld 100 bemonsteringen per uitgangscodes gebeuren. De periode tussen 2 bemonsteringen T_s bedraagt $10 \mu s$ ($T_s = \frac{1}{f_s}$). De uitgangscodes moet veranderen naar een volgende waarde na juist 100 bemonsteringen. Dit wil zeggen dat de spanningsverandering gedurende 100 bemonsteringen (1ms) gelijk moet zijn aan 1LSB. De helling van de ramp functie bedraagt dus 1LSB per 1ms.

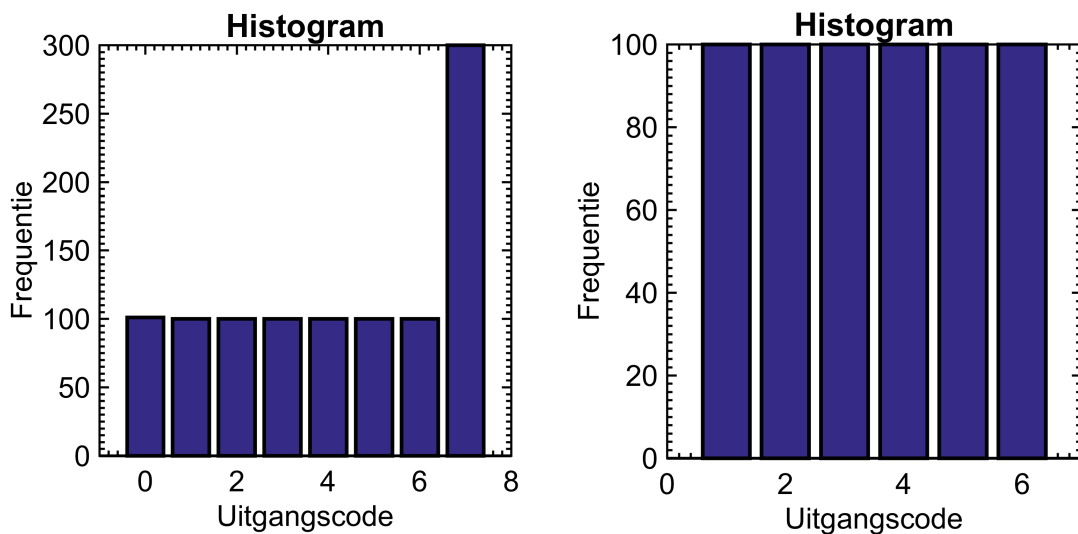


Figuur 5.1: Ingang (links) en uitgang (rechts) van een ideale ADC

Figuur 5.1 illustreert het verloop van het ingangssignaal en uitgangssignaal van een ideale ADC. Het histogram van het uitgangssignaal is weergegeven in figuur 5.2. Het blijkt dat hier, zelfs bij gebruik van een ideale ADC, fouten in zitten. De eerste en laatste code vertonen een hogere frequentie dan 100. De reden dat de eerste code enkele keren vaker is voorgekomen is te wijten

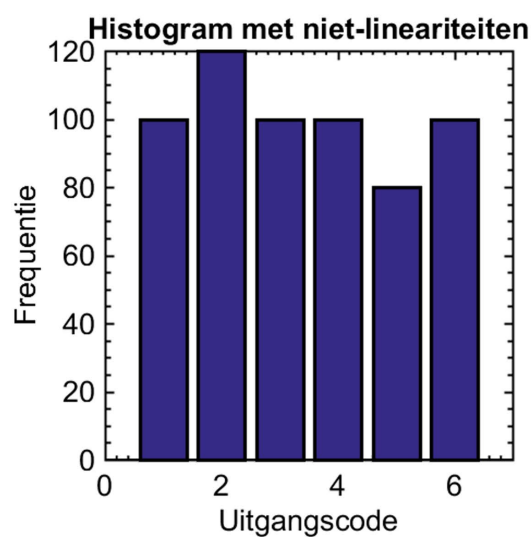
aan de dode tijd van het model. Er zijn namelijk enkele klokcycli nodig voor het initialiseren van het model. De laatste code (in dit geval 7) bevat een hogere frequentie omdat het ingangssignaal hoger gaat dan het bereik van de ADC. Hogere waarden dan de Full-Scale spanning zullen door de ADC gelijk worden gemaakt aan de hoogste digitale waarde.

Daarom zal er vaak een correctie worden toegepast op het histogram. Dit is simpelweg het verwijderen van de eerste en laatste code uit het histogram. Het uitvoeren van deze correctie laat flexibiliteit toe. Er moet geen nauwkeurige berekening gebeuren hoe lang de simulatie moet duren voor perfect de laatste code 100 keer voor te laten komen. Indien de simulatietijd maar groot genoeg is, zal de laatste code zeker voorkomen.



Figuur 5.2: Histogram uitgang (links), histogram na correctie (rechts)

Het histogram na correctie is weergegeven in figuur 5.2. Elke code komt zoals verwacht juist 100 keer voor. Als gevolg zijn zowel de INL als DNL voor elke code gelijk aan 0.



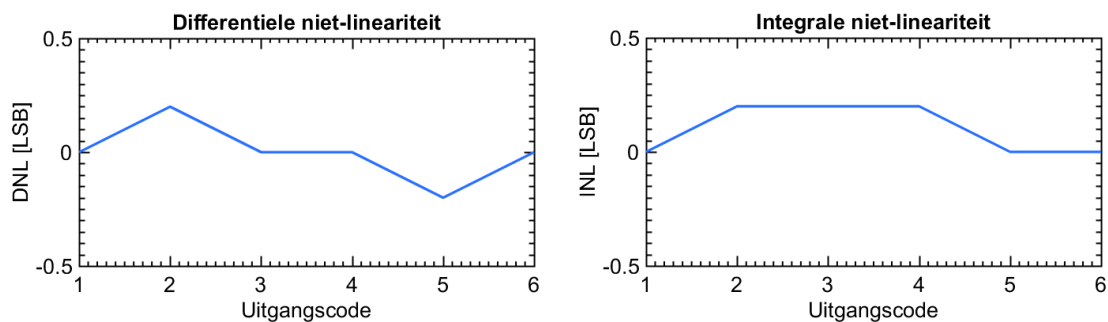
Figuur 5.3: Histogram van een niet-ideale ADC

Figuur 5.3 toont het histogram van een ADC waarbij niet-lineariteiten aanwezig zijn. Sommige codes zullen nu afwijken van de frequentie 100. Een hogere frequentie wijst op een positieve DNL daar een lagere frequentie wijst op een negatieve DNL. De vertaling van vergelijking 5.1 naar dit histogram is weergegeven in onderstaande vergelijking:

$$DNL[i] = \frac{\text{Frequentie van code } i}{100} - 1 \quad (5.2)$$

Waarbij de frequentie van 100 overeen komt met juist 1 LSB. Het resultaat van vergelijking 5.2 is weergegeven in figuur 5.4.

De integrale niet-lineariteit van een bepaalde code is gedefinieerd als de som of integraal van de DNL van alle voorgaande codes. Het resultaat is weergegeven in figuur 5.4.



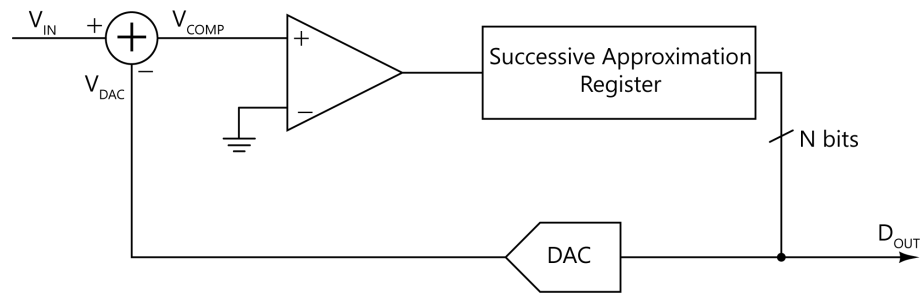
Figuur 5.4: DNL (links), INL (rechts)

Het grote nadeel van de histogram test is de tijdrovende simulaties. Bij hogere resoluties zijn er veel binaire combinaties mogelijk (vb 12 bit = 4096 combinaties). Als in dat geval 100 bemonsteringen per combinatie nodig zijn, zal de simulatieduur snel oplopen terwijl de nauwkeurigheid relatief laag blijft.

5.2 Voorgestelde methode

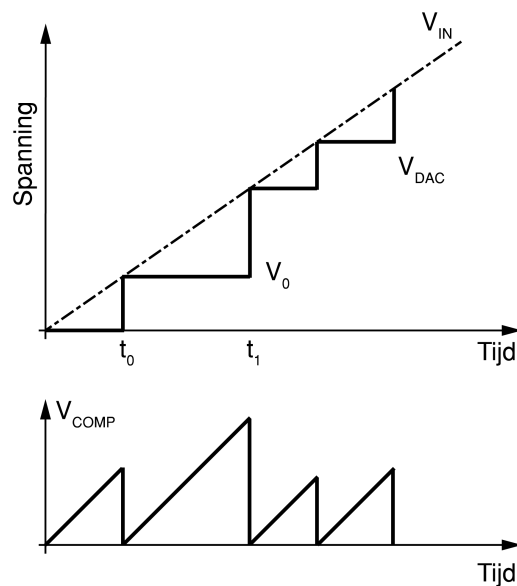
Omdat de voorgestelde ADC in deze thesis een resolutie van 12 bit bedraagt, is het niet gewenst de niet-lineariteit te meten d.m.v. de histogram test. Om de lange simulaties te vermijden is gebruik gemaakt van een zelf ondervonden methode. Deze methode kan enkel worden toegepast in een simulatie waar bepaalde signalen beschikbaar zijn. Bij een discrete ADC component zal dit niet het geval zijn en is het onmogelijk deze methode toe te passen.

Figuur 5.5 illustreert een model van de gebruikte SAR ADC. De DAC brengt steeds verschillende spanningsniveaus aan de comparator om te vergelijken met de ingangsspanning. Deze spanningsniveaus zijn tevens de beslissingsniveaus van de ADC en bepalen de transferkarakteristiek. Echter is het niet mogelijk in de gebruikte structuur rechtstreeks de uitgang van de DAC te meten. Daarom zal deze op een andere manier berekend moeten worden.



Figuur 5.5: Opbouw SAR ADC

De spanning op de ingang van de comparator V_{COMP} is gelijk aan het verschil van deingangsspanning V_{IN} en de uitgangsspanning van de DAC V_{DAC} . Met dit verband is het mogelijk V_{DAC} te berekenen als $V_{DAC} = V_{IN} - V_{COMP}$. Bij een ADC met niet-lineariteiten klopt dit verband nog steeds. De spanningsniveaus uit de DAC zullen verschuiven naargelang de DNL. Het verloop van de signalen bij een ADC met niet-lineariteiten is weergegeven in figuur 5.6. Het grote voordeel van deze methode is eenvoudig te begrijpen uit de figuur. Indien een willekeurige bemonstering voorkomt ergens tussen tijdstip t_0 en t_1 zal dit zich, door voorgestelde manier, steeds vertalen naar spanningswaarde V_0 . Als gevolg is het genoeg één bemonstering in dit volledige tijdsinterval te nemen. Dit geldt voor alle spanningsniveaus van de DAC. Zolang er maar steeds één bemonstering plaatsvindt per spanningsniveau kunnen deze allemaal worden bepaald.



Figuur 5.6: Bemonsteren van een ramp functie

Dit maakt het zeer eenvoudig en snel een nauwkeurige representatie te krijgen van de niet-lineariteiten. In de gebruikte opstelling is simpelweg een ramp functie aangelegd aan de ADC. De helling van deze ramp functie is gekozen zodat er 2 bemonsteringen plaatsvinden per niveau. Bij grote niet-lineariteiten zijn 2 bemonsteringen nodig om zeker te zijn dat er ten minste 1 bemonstering voorkomt per niveau. Uiteindelijk zijn alle spanningsniveaus van de DAC gekend. Nu rest enkel de formule toe te passen van de DNL en INL.

Hoofdstuk 6

Implementatie 12-bit SAR ADC

Dit hoofdstuk geeft een korte beschrijving over de implementatie van de volledige ADC. De componenten die nog niet aan bod zijn gekomen zullen hier volgen. Dit zal meer specifiek gaan over de verschillende schakelementen.

Het aparte ontwerp van de comparator en controle logica werden reeds besproken in hoofdstukken 3 en 4. In het gehele ontwerp zullen hier soms toch limitaties aan bod komen die de prestatie beïnvloeden. Deze zullen ook in dit hoofdstuk worden besproken net zoals de lineariteit van de totale ADC.

6.1 Implementatie SAR ADC

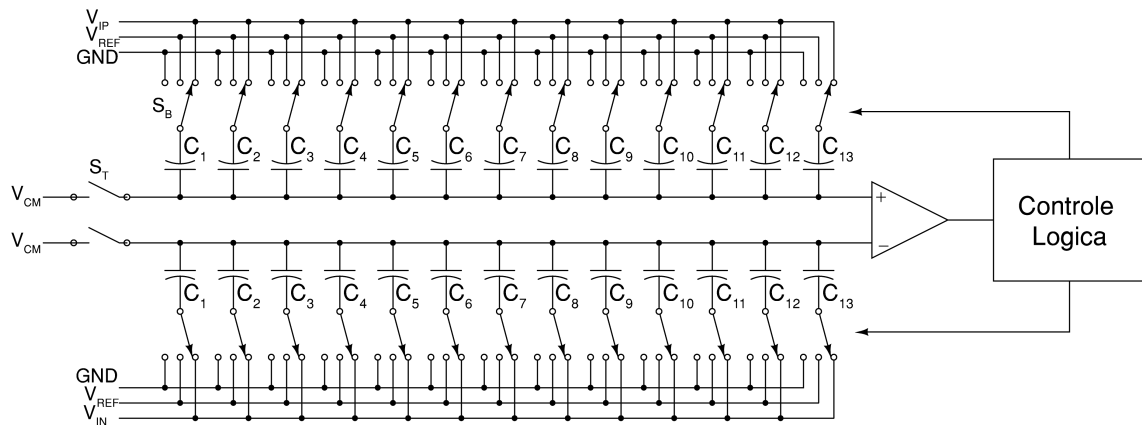
Het effectieve ontwerp van de 12-bit SAR-ADC zal enkele verschillen hebben tegenover de besproken schema's. Deze verschillen en het totale circuit worden besproken in dit deel.

6.1.1 Differentiële architectuur

In voorgaande afbeeldingen is de SAR ADC steeds uitgebeeld waarbij de positieve ingang van de comparator verbonden was met de DAC en de negatieve ingang met GND. Meestal zal eerder, voor het elimineren van common-mode ruis en ruis afkomstig van de voeding, een volledige differentiële architectuur worden gebruikt [21], [16],[27].

De gebruikte structuur voor deze thesis is weergegeven in figuur 6.1. De werking van deze schakeling is gelijkaardig als de ladingsherverdeling ADC uit sectie 2.1.1. In dit geval moeten er 2 ingangsspanningen aanwezig zijn nl. V_{IP} en V_{IN} . Dit zijn 2 differentiële spanningen met als common mode waarde V_{CM} .

De bemonsteringsfase gebeurt in beide condensator-arrays. De schakelaars die V_{CM} verbinden met de comparator sluiten en de onderste platen van de condensatoren worden verbonden met de ingangsspanning V_{IP} of V_{IN} . In de bovenste condensator-array zal een totale lading worden opgesloten gelijk aan $Q = 4096C(V_{CM} - V_{IP})$. Voor de onderste array zal dit $Q = 4096C(V_{CM} - V_{IN})$ zijn. In deze structuur is enkel de inverterende comparator uitgang van belang. Door het wisselen van V_{IP} en V_{IN} kan wel worden gewerkt met de niet-inverterende uitgang.



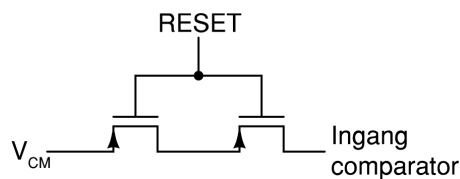
Figuur 6.1: Differentiële architectuur SAR ADC

Na de bemonsteringsfase start ook bij dit circuit het zoekalgoritme. De schakelaars uit de bovenste condensator-array hebben juist dezelfde volgorde als eerder weergegeven. De onderste condensator-array zal de condensatoren juist in de tegenovergestelde volgorde schakelen. Bij de eerste iteratie schakelt hier de grootste condensator C_1 naar GND en alle condensatoren naar V_{REF} . Een volledig schakeldiagram voor deze conventionele methode is weergegeven in [16].

Ook nu is het mogelijk de beslissingen die de comparator maakt te berekenen. Analoog als in sectie 2.1.1 is het hier mogelijk de spanning op de ingangen van de comparator te berekenen. Bij het opstellen van de ongelijkheid voor de comparator uitgang is het zo mogelijk de beslissingsniveaus te bepalen.

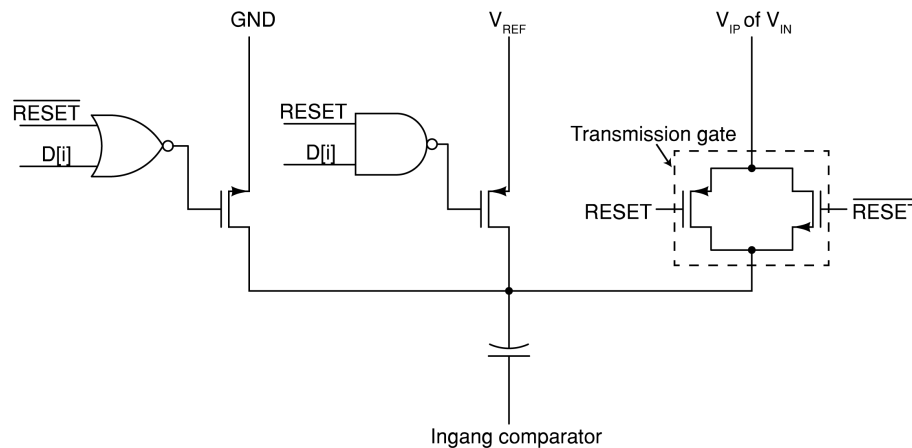
6.1.2 Implementatie schakelementen

Het schema bevat 2 verschillende schakelementen. Enerzijds een 3-polige schakelaar S_B die de onderste platen van de condensatoren verbindt met deingangsspanning V_{IP} of V_{IN} , de referentiespanning V_{REF} of de massa GND. Anderzijds een enkele schakelaar S_T die de bovenste condensator platen verbindt met de common mode spanning V_{CM} . Deze laatste is in het huidige schema nog gerealiseerd door een ideale schakelaar zodat zijn gedrag de werking nog niet beïnvloedt. Dit zou in een volgend stadium eerder vervangen worden door bijvoorbeeld een serieschakeling van 2 PMOS transistoren [13]. Door gebruik te maken van een serieschakeling zal de weerstand zeer hoog zijn zodat er zo goed als geen lading weg kan lekken door de schakelaar. Deze schakelaars moeten sluiten tijdens de bemonsteringsfase als het resetsignaal van de controle logica laag is. Bij gebruik van PMOS transistoren kan dit signaal, zonder nood aan logische poorten, rechtstreeks verbonden worden zoals in figuur 6.2.



Figuur 6.2: Implementatie schakelaar S_T

De 3-polige schakelaar [13] is effectief geïmplementeerd zoals weergegeven in figuur 6.3. Er is gebruik gemaakt van het goede gedrag van een NMOS en PMOS transistor. Een NMOS transistor is namelijk in staat een sterke '0' door te geven. Daarom zal deze dienst doen als schakelement van de condensator naar GND. Een PMOS transistor zou in dit geval geen goede oplossing zijn. Deze kan namelijk nooit 0V doorgeven maar enkel waarden hoger dan $|V_{Tp}|$. De PMOS transistor zal wel gebruikt worden voor V_{REF} door te geven aan de condensator. Meestal zal dit gelijk zijn aan de voedingsspanning en een PMOS transistor kan namelijk wel een sterke '1' doorgeven. Hier zou een NMOS transistor niet geschikt zijn en steeds V_{Tn} verliezen.



Figuur 6.3: Implementatie 3-polige schakelaar

Deingangsspanningen V_{IP} en V_{IN} hebben een zwaai van 0V tot V_{REF} en kunnen als gevolg niet worden doorgegeven naar de condensator met enkel een NMOS of PMOS transistor. Een oplossing voor dit probleem is het gebruik maken van een 'transmission gate' of TG [15]. Een TG combineert de voordelen van een NMOS én PMOS transistor zodat zowel een sterke '0' als sterke '1' kan worden doorgegeven. De opbouw van een TG is weergegeven in figuur 6.3.

De 3-polige schakelaar vraagt nog wel enkele logische poorten voor de juiste aansturing. Indien het reset signaal actief is ($RESET = '0'$) bevindt het systeem zich in de bemonsteringsfase. Enkel de TG zal in dit geval geleiden en deingangsspanning is verbonden met de condensator. Als het systeem zich niet in de bemonsteringsfase bevindt, zal V_{REF} of GND verbonden worden met de condensator. Het signaal D is afkomstig van de controle logica en bepaaldt met welke spanningswaarde de condensator wordt verbonden. Indien $D[j]$ een logische '1' bedraagt, zal de bijhorende condensator verbonden zijn met V_{REF} . In het andere geval is de condensator verbonden met GND. Deze logica is gerealiseerd zoals weergegeven in figuur 6.3 m.b.v. een NAND en een NOR poort.

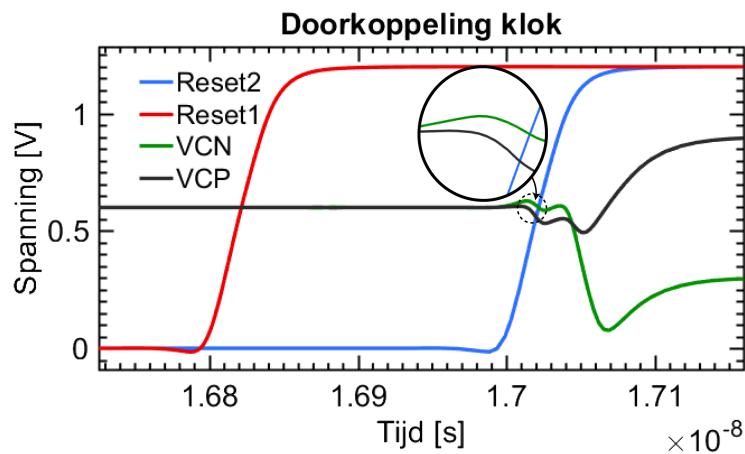
De afmetingen van de transistoren zijn afhankelijk van de klokfrequentie en de capaciteiten van de condensatoren. Bij elke iteratie moet de lading volledig herverdeeld zijn alvorens de comparator begint te evalueren. Bij een interne klokfrequentie van 840MHz voldoet een breedte van ongeveer $5\mu m$ voor een condensator van 100fF. Dit geldt enkel voor transistoren met lage V_T en minimum lengte.

6.1.3 Doorkoppeling kloksignaal

Doorkoppeling van een kloksignaal is een zeer gekend fenomeen in de analoge elektronica en kan vaak zorgen voor grote problemen. Zonder rekening te houden met dit fenomeen zal de ADC heel wat accuraatheid verliezen. Daarom is er in deze thesis voor dit fenomeen een aparte sectie ingericht.

In sectie 6.1.2 werd reeds een beschrijving gegeven over de MOS schakelelementen. De ingang van deze MOS transistoren bevat steeds een signaal afkomstig van digitale logica. Net zoals een kloksignaal hebben deze signalen steile flanken. Doorkoppeling is het fenomeen dat deze digitale signalen ook een invloed teweeg brengen op de andere nodes van de transistoren. De oorzaak bevindt zich enerzijds in de parasitaire capaciteiten van de transistoren. De impedantie van deze capaciteiten is laag voor steile flanken zodat de nodes capacitief gekoppeld zijn. Anderzijds zal er, bij het uitschakelen van een transistor, ook lading uit het kanaal terechtkomen op de uitgangscapaciteit van de transistor. Een uitvoerige bespreking van dit fenomeen staat beschreven in [28].

In figuur 6.4 is een voorbeeld weergegeven van doorkoppeling. Het eerste resetsignaal Reset1 is gebruikt voor de enkele schakelelementen S_T . Het tweede resetsignaal Reset2 is verbonden met de 3-polige schakelaar S_B . De signalen VCN en VCP zijn de niet-inverterende (VCP) en inverterende (VCN) ingang van de comparator.



Figuur 6.4: Doorkoppeling kloksignaal

De figuur toont de overgang van de bemonsteringsfase naar het zoekalgoritme. Als Reset1 laag is verbinden de enkele schakelaars S_B de comparator ingangen met de common-mode spanning V_{CM} van 0.6V. De onderste platen van de condensatoren zijn door de 3-polige schakelaars verbonden met de ingangsspanning. Zodra Reset1 hoog gaat, wordt de verbinding met V_{CM} verbroken. Er vindt geen doorkoppeling plaats omdat dit ideale schakelaars zijn. Als Reset2 hoog gaat vindt er wel doorkoppeling plaats zoals weergegeven in figuur 6.4. Deze doorkoppeling zorgt in dit geval niet voor problemen. Schakelaars S_B waren reeds open zodat de lading werd opgesloten. De doorkoppeling zal zorgen voor een korte variatie op de signalen VCM en VCP maar er zal geen lading verloren gaan.

Indien voor beide schakelaars hetzelfde reset signaal wordt gebruikt treden er wel problemen op. De doorkoppeling uit de 3-polige schakelaars zal ervoor zorgen dat er kort een andere spanning dan de ingangsspanning staat op de onderste condensator platen. Omdat op het zelfde moment

de enkele schakelaars openen en de lading opsluiten, zal deze lading niet juist zijn. Toch zal deze verder worden gebruikt doorheen heel het zoekalgoritme waardoor de ADC fouten kan maken. Om deze reden is in het ontwerp van deze thesis een extra reset signaal aangebracht met een vertraging. Zo zullen de enkele schakelaars steeds openen voordat de doorkoppeling plaatsvindt.

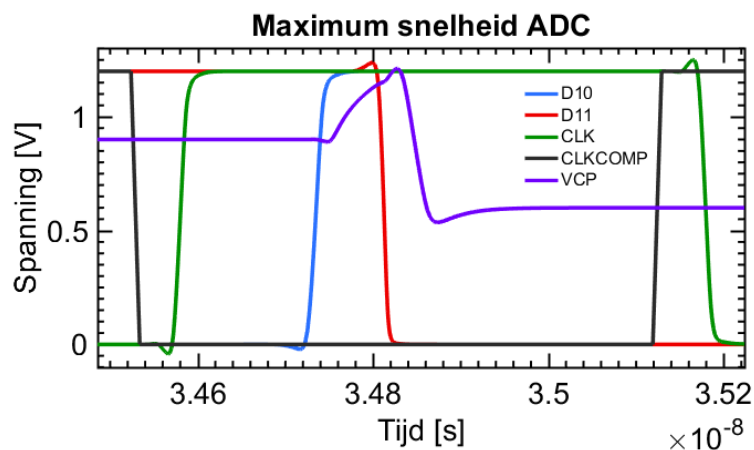
6.2 Performantie

Deze sectie geeft meer informatie over de performantie van de geïmplementeerde 12-bit SAR ADC. Er volgt een korte bespreking over de behaalde snelheid en de limiterende factoren. Daarna wordt de lineariteit van de ADC besproken waarbij de invloed van mismatch in rekening is gebracht.

6.2.1 Snelheid

In hoofdstuk 3 is een ontwerp gerealiseerd van een volledige comparator. Dit ontwerp behaalde een frequentie van 1.4GHz zodat de comparator perfect gebruikt zou kunnen worden in een 12-bit ADC met een bemonsteringsfrequentie tot ongeveer 100MHz. Uit de implementatie van de volledige ADC bleek echter een andere limiterende factor te zijn voor de snelheid. De propagatievertraging van de flipflop gebaseerde controle logica is groter dan initieel werd verwacht. In een 1.4GHz omgeving leidde dit tot foute beslissingen van de ADC.

Figuur 6.5 toont het verloop van enkele digitale signalen van de ADC. Bij een stijgende flank van het kloksignaal CLK zal de logica de schakelaars aansturen. In dit geval wordt de MSB condensator verbonden met GND (door D11) en de volgende condensator met V_{REF} (door D10). Vervolgens vindt de ladingsherverdeling plaats (VCP = niet-inverterende comparator ingang) waarna de comparator een beslissing maakt. Dit laatste vindt plaats op de positieve klokperiode van de comparator klok CLKCOMP. Als laatste stap onthoudt de logica de beslissing van de comparator tot er weer een stijgende flank van CLK volgt.



Figuur 6.5: Snelheid limitatie door flipflops

De propagatie vertraging is duidelijk weergegeven in figuur 6.5. Na een stijgende flank van CLK duurt het ongeveer 150ps alvorens signaal D10 de schakelaar aanstuurt. Daarbovenop duurt het nog langer voordat D11 een verandering ondergaat. Bij een frequentie van 1.4GHz is de tijd van een positieve transitie van CLK tot de evaluatiefase van de comparator ongeveer gelijk aan een

halve periode $T/2 = 1/2F = 350ps$. Binnen deze tijd worden de schakelaars aangestuurd en moet de ladingsherverdeling volledig gebeuren. Merk op dat het aansturen van de schakelaars bij een frequentie van 1.4GHz al de helft van deze beschikbare tijd in beslag neemt. De ladingsherverdeling heeft nu nog maar een zeer korte tijd om volledig te convergeren naar een stabiele waarde. Indien de ladingsherverdeling niet volledig is geconvergeerd, kan de comparator een foute beslissing maken. Een mogelijke oplossing is het breder maken van de transistor schakelementen. Dit zou daarentegen ook leiden tot zeer brede transistoren en grote stromen. Daarom is in deze thesis de keuze gemaakt de frequentie te verlagen. De gebruikte frequentie zoals weergegeven in figuur 6.5 is gelijk aan 0.84GHz. Nu zullen de ingangen van de comparator in alle gevallen op het juiste moment de juiste waarde bereiken en is toch nog een bemonsteringsfrequentie van 60MHz behaald.

6.2.2 Lineariteit

Het is heel belangrijk het volledige ADC circuit te simuleren voor niet-lineariteiten. Deze bepalen namelijk de accuraatheid van het ontwerp. Er zijn verschillende oorzaken van niet-lineariteiten zoals besproken en onderzocht in [14]. Deze thesis bespreekt enkel de invloed van de mismatch tussen de condensatoren van de DAC.

De bepalende parameter die de invloed van de mismatch beschrijft is de standaardafwijking σ van de condensatoren. Hoe groter de afwijking van de verwachte waarde, hoe meer mismatch er aanwezig kan zijn tussen de condensatoren en hoe minder lineair de ADC zich zal gedragen. Grotere condensatoren bezitten een grotere σ . Toch neemt de percentuele standaardafwijking af naargelang de condensatoren groter worden. Het bewijs voor deze uitspraak resulteert uit de eigenschap dat de variantie van een som gelijk is aan de optelling van de varianties.

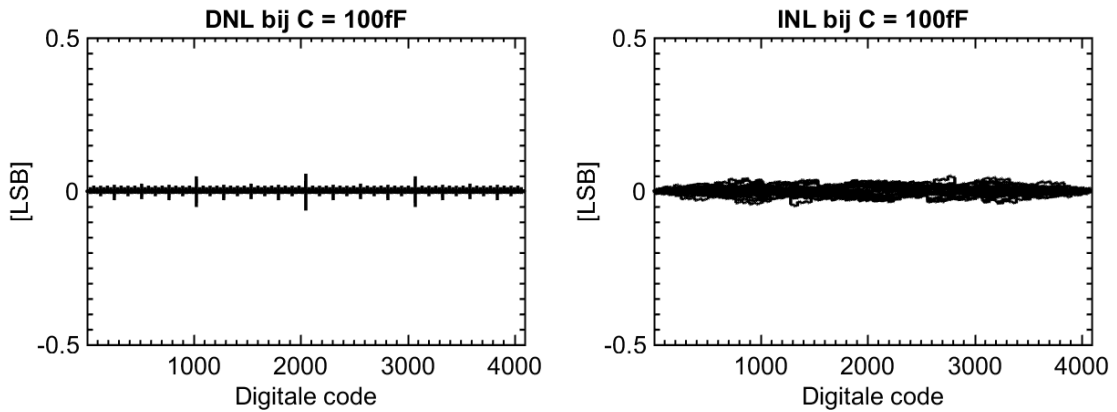
Een condensator C_X kan steeds voorgesteld worden als een som van van kleinere fractionele condensators C . In dat geval geldt: $C_X = \sum_n C$. Indien de variantie van de capaciteit C gelijk is aan σ_C^2 geldt volgend verband:

$$\sigma_X^2 = \sum_n \sigma_C^2 = n\sigma_C^2 \quad (6.1)$$

Zodat de standaardafwijking σ_X gelijk is aan $\sqrt{n} \cdot \sigma_C$. Een capaciteit n keer groter heeft dus maar een \sqrt{n} keer grotere standaardafwijking. Grotere condensatoren zullen als gevolg een kleinere percentuele standaardafwijking bevatten en zorgen voor een betere lineariteit. Echter zorgen grotere condensatoren ook voor een grotere oppervlakte en een hoger energieverbruik in de DAC. Door het toevoegen van mismatch in de simulator is het mogelijk de capaciteit te bepalen waarbij de lineariteit voldoende groot is. Dit wil zeggen dat er zeker geen missing codes mogen voorkomen. In deze thesis is gepoogd de DNL zo klein mogelijk te maken zodat deze geen waarden buiten het interval $[-0.5\text{LSB};0.5\text{LSB}]$ vertoont.

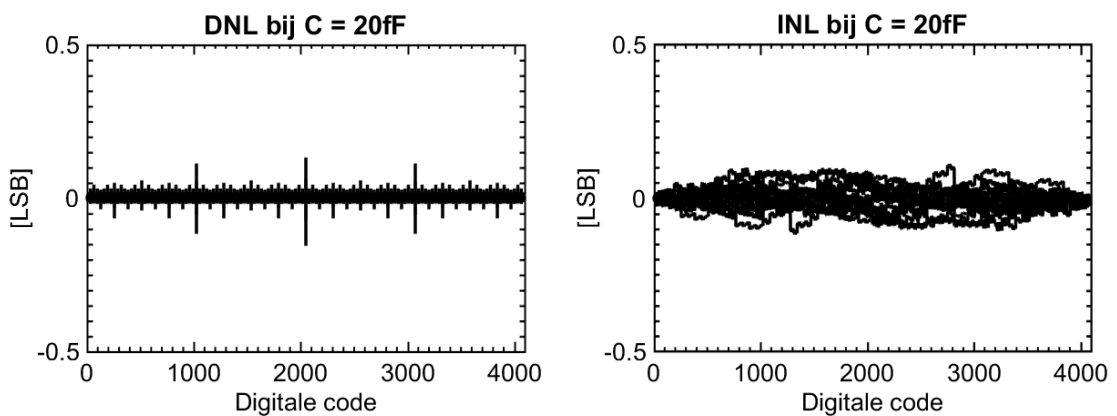
In de eerste instantie is een Matlab model van de ADC gecreëerd. Door het toevoegen van de standaardafwijkingen aan dit model is het mogelijk een schatting te maken van de beste capaciteit voor een degelijke lineariteit. Omdat het moeilijk is een inschatting te maken welke afwijkingen in welke condensatoren resulteren in de slechtste lineariteit, is het nodig meerdere simulaties te voltooien. Deze manier van simuleren wordt ook wel een 'Monte Carlo' analyse genoemd. Voor elke condensator wordt (met behulp van de standaardafwijking van die condensator) een willekeurige afwijking toegevoegd. Door vele simulaties te doen met steeds willekeurige afwijkingen zal de slechtste lineariteit worden gevonden.

Na het bekomen van de schatting is deze waarde gebruikt en geoptimaliseerd in de Cadence simulator. Ook hier is gebruik gemaakt van een Monte Carlo analyse van in dit geval 20 verschillende simulaties. De resultaten van de INL en DNL zijn weergegeven voor 2 verschillende capaciteiten in figuur 6.6 en 6.7.



Figuur 6.6: 20 Monte-carlo simulaties voor DNL en INL bij C = 100fF

De figuren geven duidelijk de toename in DNL weer bij gebruik van kleinere capaciteiten. In dit geval bevindt de DNL bij een capaciteit van 20fF zich nog steeds tussen de vooraf gedefinieerde grenzen.



Figuur 6.7: 20 Monte-carlo simulaties voor DNL en INL bij C = 20fF

Hoofdstuk 7

Stralingsinvloed

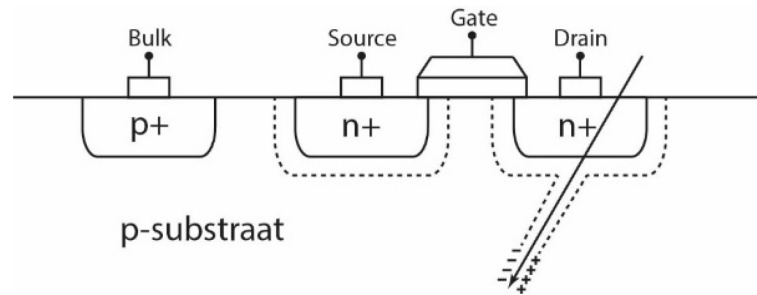
Dit hoofdstuk bespreekt de invloed van Single Event Effects op de geïmplementeerde 12-bit SAR ADC. Single Event Effects of SEE's zijn kortstondige gebeurtenissen veroorzaakt door ioniserende straling. In dit hoofdstuk worden enkel niet-destructieve SEE's besproken. Deze zorgen voor geen blijvende schade in tegenstelling tot destructieve SEE's.

Eerst volgt een korte inleiding over de effecten van ioniserende straling met een Single Event Transient (SET) als gevolg. Daarna zal een korte beschrijving plaatsvinden hoe digitale logica bestand wordt gemaakt tegen deze effecten. In het laatste deel staat een bespreking over de invloed van een SET in de schakelementen.

7.1 Single event effects

Bij het gebruik van een IC in een uitzonderlijke stralingsomgeving kan het voorkomen dat er een hoog energetisch deeltje deze IC raakt [25], [24]. Dergelijk deeltje zal zich verplaatsen door het silicium waarbij dit silicium wordt geïoniseerd. Het ioniseren van dit materiaal brengt vrije ladingsdragers (elektron-gat paren) met zich mee rond de weg dat het deeltje baant doorheen de IC. Indien dit deeltje enkel het substraat heeft geraakt zullen deze vrije ladingsdragers recombineren. Indien dit deeltje daarentegen net een plaats heeft geraakt waar een ruimteladingslaag aanwezig is (zoals bij de PN-junctie van drain of source naar bulk) zal er een ander effect plaatsvinden. Omdat er een elektrisch veld aanwezig is over deze ruimteladingslaag zullen de vrije ladingsdragers hierdoor worden aangetrokken. Het aantrekken van deze elektronen en gaten resulteert in een stroom. Dit wil zeggen dat niet alle elektron-gat paren direct zullen recombineren maar eerst zorgen voor een stroom.

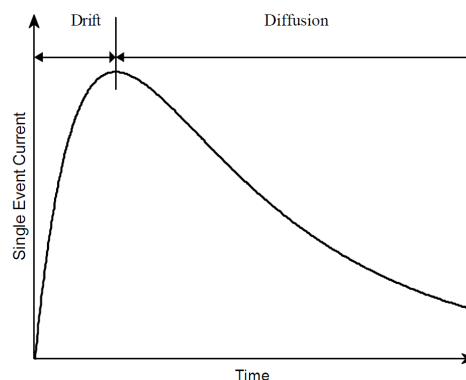
Een single event kan dus worden voorgesteld als een stroombron van de drain naar het substraat voor een NMOS transistor of van het substraat naar de drain voor een PMOS transistor. Dit is vaak toegepast in simulaties voor het effect te analyseren van de ioniserende straling.



Figuur 7.1: Impact ioniserende straling [24]

Een vaak gebruikt model van deze stroom is weergegeven in figuur 7.2. Deze stroom wordt ook wel SET of Single Event Transient genoemd. Het is deze SET die voor problemen kan zorgen in IC's. Een SET kan ondermeer als gevolg hebben dat bijvoorbeeld de toestand van een latch omslaat. Dit omdat bijvoorbeeld de stroom die uit de drain van een voorgaande MOSFET vloeit de ingangsnode van de latch zal ontladen zodat de spanning afneemt. Als deze spanning sterk genoeg afneemt zal een latch deze waarde interpreteren als een logische '0' i.p.v. een logische '1'. Vaak zal deze fout zich ook verder voortplanten doorheen het circuit.

In de gebruikte ADC zal een bijkomend probleem plaatsvinden. Indien deze SET plaatsvindt in een van de schakelaars zal er een lading worden toegevoegd of weggenomen. Dit zorgt voor een fout in het zoekalgoritme waardoor eventueel foute beslissingen worden gemaakt.



Figuur 7.2: Single event transient [24]

Het stroomverloop van figuur 7.2 is niet eenvoudig toe te passen in de simulator. Daarom is in de simulaties voor deze thesis als benadering een stroompuls gebruikt. De eigenschappen van deze stroompuls zijn gekozen naargelang de effectieve invloed. Een SET zorgt voor een ladingsverschil van 10fC tot 100fC. Bij een stroompuls is de totale lading gelijk aan:

$$Q_{SET} = \int_0^T i_{SET} dt = I_{SET} \cdot T \quad (7.1)$$

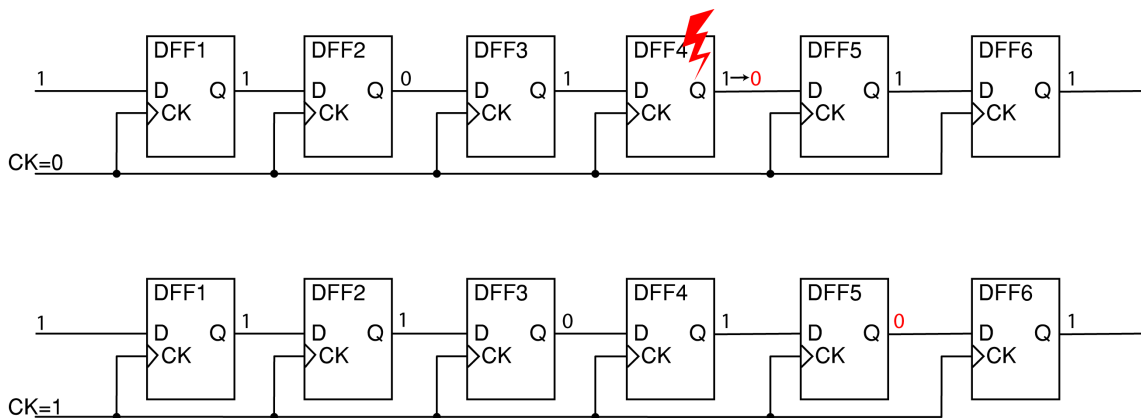
Omdat de duur van een SET varieert tussen de 10ps en 100ps kan de stroom voor elk van deze gevallen berekend worden d.m.v. vergelijking 7.1

7.2 Stralingseffecten in digitale logica

De voorgestelde SAR ADC bestaat uit verschillende digitale bouwblokken die onder invloed zullen komen van ioniserende straling. Zoals eerder vermeld kan deze straling of SET er voor zorgen dat een bit fout wordt geïnterpreteerd. Dit fenomeen wordt ook wel een 'bit flip' of Single Event Upset (SEU) genoemd en kan resulteren in eventuele grote problemen. Indien bijvoorbeeld in het begin van het zoekalgoritme (tijdens het bepalen van de MSB) een bit flip plaatsvindt, zal het probleem veel groter zijn dan als dit bij de LSB gebeurt.

7.2.1 Controle logica

Zoals reeds besproken in hoofdstuk 4 bestaat de controle logica gedeeltelijk uit een shift register. Indien er op een bepaalde plaats in dit shift register een bit flip plaatsvindt als gevolg van een SET zullen de gevolgen katastrofisch zijn. Figuur 7.3 geeft een voorbeeld waar ioniserende straling er voor zorgt dat de uitgang van DFF4 zal ontladen. Als de uitgang van DFF4 afneemt tot onder de waarde V_{IH} die nog als laagste spanningswaarde aanzien wordt als een logische '1', vindt een bit flip plaats. Bij een stijgende flank van het kloksignaal CK zal de fout zich voortplanten doorheen het schuifregister zoals weergegeven in het onderste deel van de figuur.

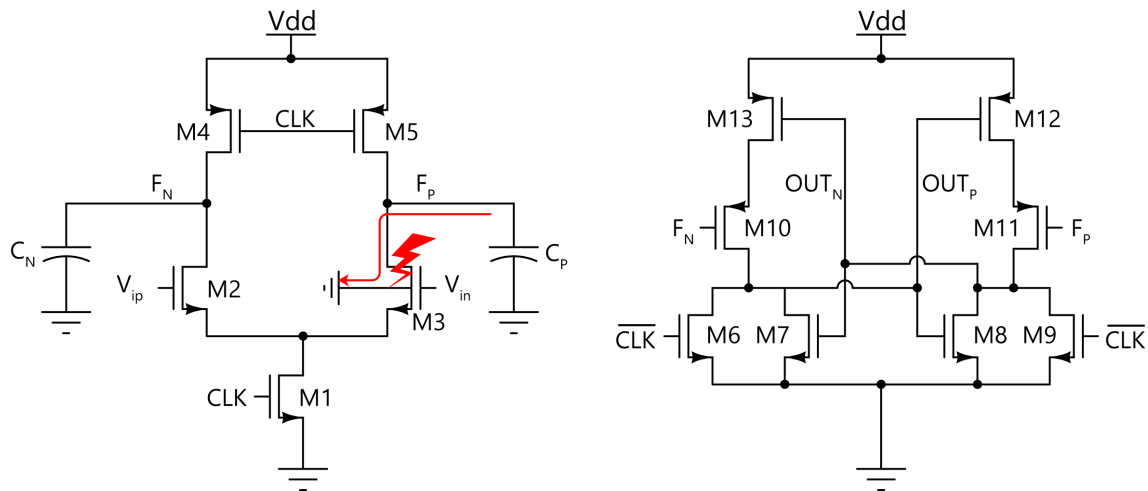


Figuur 7.3: Effect van SET op schuifregister

Indien de ioniserende straling de flipflop raakt waarvan de uitgang '0' bedraagt kan het voorkomen dat deze uitgang zal opladen en naar een logische '1' zal gaan. In dit geval bevindt het schuifregister zich in een toestand waar uit het zich niet kan herstellen tot het reset signaal wordt geactiveerd door de logische poorten uit figuur 4.2. Het zoekalgoritme zal nog niet zijn voltooid en de uitgang zal foute informatie bevatten.

7.2.2 Comparator

De comparator is de meest cruciale component voor een goed gedrag van de ADC. Het is juist deze component dat de beslissing maakt of een bit een logisch hoge of lage waarde moet krijgen. Een fout in deze beslissing resulteert dan ook onmiddellijk in een fout voor die bit. Bij een foute beslissing voor de MSB is het probleem natuurlijk het ergste. Het digitale woord zal nu volledig onbruikbaar zijn.



Figuur 7.4: Effect van SET op comparator

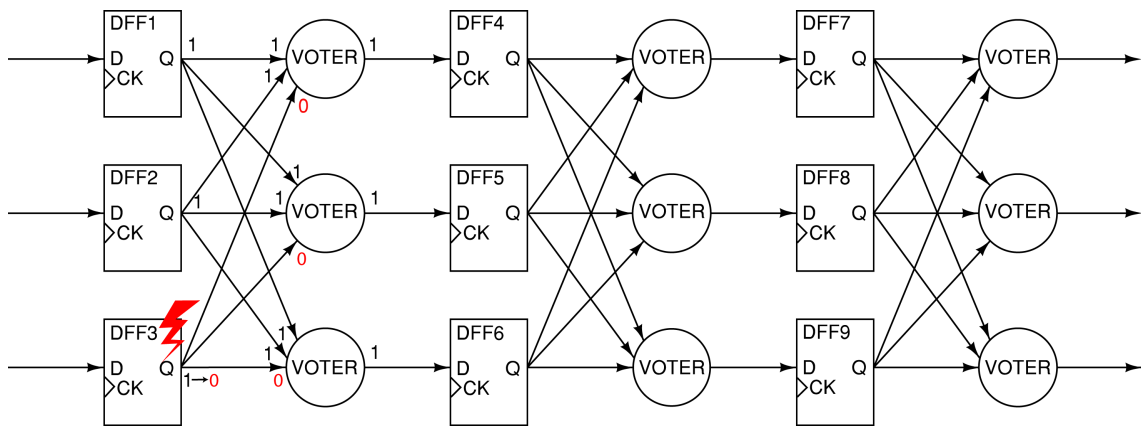
Het comparator circuit heeft heel wat nodes die gevoelig zijn aan een SET. Een voorbeeld is gegeven in figuur 7.4. Bij het raken van transistor M3 door een hoog energetisch deeltje zal er een stroom vloeien van node F_P naar GND of vice versa. Dit is alles behalve gewenst omdat juist het ontladen van nodes F_P en F_N de werking van de latch start. De snelheid van dit ontladen zou enkel afhankelijk mogen zijn van de differentiëleingangsspanning zodat de latch een juiste beslissing maakt. Een toevoeging of afname van de lading op één van deze nodes zal resulteren in een foute beslissing.

Echter is niet enkel het ingangspaar van de voorversterker gevoelig aan SET's. Elke toevoeging of afname van lading op een cruciaal punt in de werking van de comparator zorgt voor fouten. Indien bijvoorbeeld transistor M10 wordt geraakt zal er een stroom vloeien weg of naar node OUT_P . Deze stroom zal als gevolg hebben dat de regeneratieve werking van de latch niet op een juiste manier gebeurt. Bij de kleine ingangsverschillen zal de SET ook steeds dominant zijn zodat de beslissing van de comparator enkel hier nog van af hangt.

7.2.3 Triple Modular Redundancy

Triple Modular Redundancy of TMR is een veel gebruikte methode voor het corrigeren van fouten in digitale circuits. In het geval van de ADC zijn deze fouten afkomstig van ioniserende straling, maar in principe kunnen deze ook van andere bronnen afkomstig zijn. TMR werkt enkel indien er maar één fout tergelijk plaatsvindt. Bij meerdere fouten zal deze methode niet zorgen voor een juiste correctie.

Het principe van TMR steunt op redundantie. Door verschillende digitale blokken meerdere keren uit te voeren is het mogelijk de fout te corrigeren doorheen de werking van het circuit. Bij TMR zal elke digitale component steeds 3 keer worden uitgevoerd. Indien in één van deze componenten een fout plaatsvindt zullen de overige, redundante componenten hier niets van merken. Als gevolg heeft steeds de meerderheid een juiste beslissing.



Figuur 7.5: Triple Modular Redundancy

Figuur 7.5 toont de werking van TMR voor een schuifregister bestaande uit Data Flipflops. De voters zullen de meerderheidsstemming implementeren. Als er zich bijvoorbeeld een fout voordoet aan de uitgang van DFF3 zullen alle voters toch beslissen de juiste uitgang te genereren omdat de meerderheid wint. Een voter kan simpelweg geïmplementeerd worden m.b.v. AND en OR poorten [23]. De logische functie die deze moeten implementeren indien bijvoorbeeld de ingangen x, y en z noemen is als volgt:

$$V = xy + yz + xz \quad (7.2)$$

Merk op dat er nog steeds fouten kunnen optreden in de voters. Dit zijn namelijk ook CMOS schakelingen. Echter, omdat deze zijn opgebouwd uit zijn opgebouwd uit slechts een klein aantal simpele poorten, is de kans op een fout veel kleiner.

In zowel de comparator en de controle logica kunnen fouten afkomstig van SET's worden gecorrigeerd. Op deze manier is de volledige digitale kant van de ADC bestand tegen Single Event Effects.

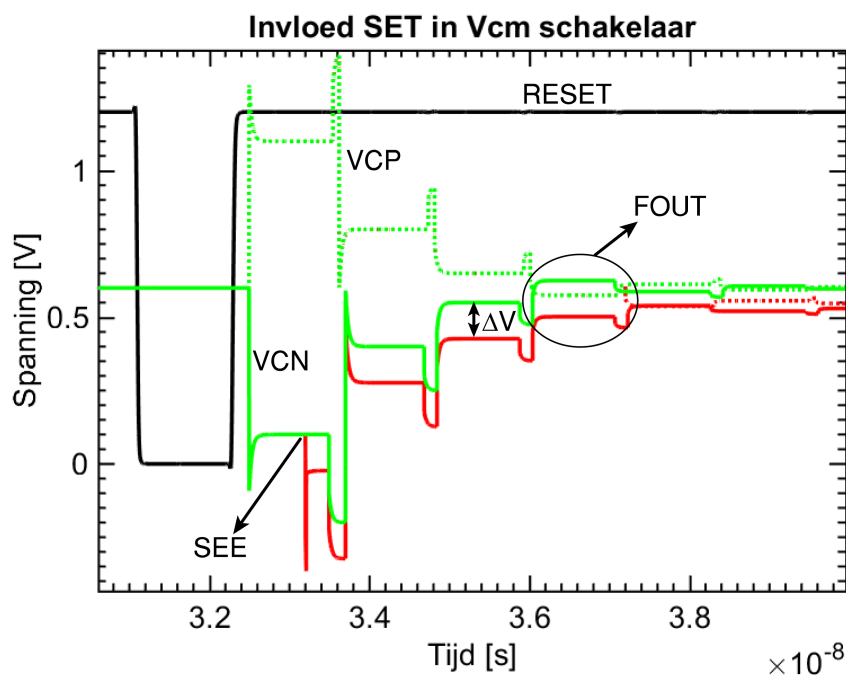
7.3 Stralingseffecten in schakelementen

Het volledige zoekalgoritme van de SAR ADC is gebaseerd op ladingsherverdeling. Doorheen heel het algoritme zit een lading opgesloten in de condensator array die proportioneel is aan de ingangsspanning. Een verandering op deze lading zorgt daarom voor een groot probleem in het gedrag van de ADC.

Figuur 7.6 toont enkele voorbeelden waar er een ladingsinjectie kan plaatsvinden. De inval van een hoog energetisch deeltje op de schakelaars S_B heeft amper invloed. De schakelaar is steeds gesloten naar één van de spanningswaarden zodat er altijd een laagimpedante weg is voor de SET. De geïnjecteerde lading zal vooral kiezen voor deze laagimpedante weg zodat het effect op de condensator arrays minimaal zal zijn. Enkel op het moment dat de stroom puls plaatsvindt zal er een korte spanningstoename zijn op VCN of VCP van maximum $100\mu\text{V}$ voor een ladingsinjectie van 100fC . Bijkomend zou dit enkel invloed kunnen hebben indien de SET zich net voordoet tijdens de evaluatiefase van de comparator.

afhankelijk is van de capaciteit. Ook de resolutie van de ADC speelt hier een rol. Voor een 11-bit ADC met dezelfde condensator waarden is dit verschil groter en gelijk aan $Q_{SEE}/2048C$.

In de totale ADC is een capaciteit gekozen van 20fF. Voor ladingsinjecties van 10fC tot 100fC betekent dit een spanningsverschil van 122 μ V tot 1.22mV. In figuur 7.7 is de invloed van een SET in de onderste S_T schakelaar geïllustreerd. De groene lijnen illustreren de werking van de ADC zonder invloed van een SET. De rode lijnen geven het gedrag weer onder invloed van een SET. Omdat het berekend spanningsverschil amper zichtbaar zou zijn, is in deze simulatie een veel grotere lading toegevoegd. Tijdens de iteratie weergegeven door de cirkel zou de negatieve comparator ingang VCN moeten stijgen tot boven de positieve comparator ingang VCP. De comparator zou deze bit gelijk moeten maken aan '1' (omdat de inverterende uitgang telt). Door het spanningsverschil als gevolg van de SET zal dit niet meer het geval zijn. De comparator zal nu een foute beslissing maken.

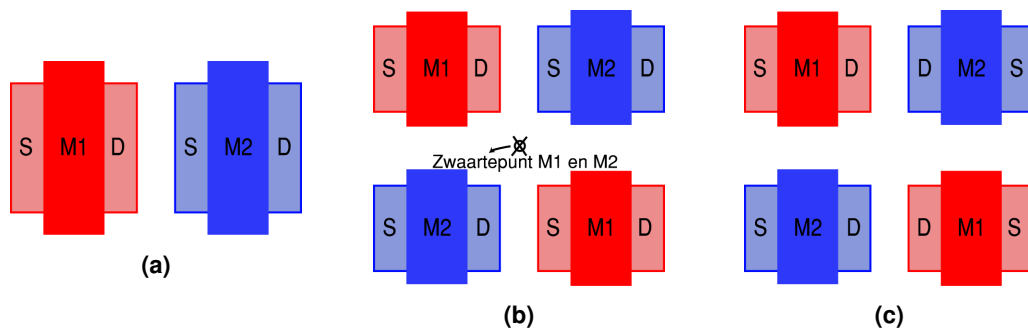


Figuur 7.7: Effect van een SET op schakelaar S_T

7.3.2 Differential Charge Cancellation

Differential Charge Cancellation of DCC [2] is een mogelijkheid de ADC bestand te maken tegen inval van ioniserende straling in schakelaars S_T . De DCC methode bestaat enkel uit een aanpassing in de layout zonder dat het schema van de ADC verandert. Vaak zijn dergelijke oplossingen terug te vinden onder de naam RHBD (Radiation Hardened By Design).

De DCC methode maakt gebruik van de eliminatie van common-mode signalen als gevolg van de differentiële architectuur van de ADC. Door de ladingsinjectie te verdelen over beide condensator arrays zal de invloed van een SET sterk afnemen of zelfs verdwijnen omdat er differentieel geen wijziging plaats zal vinden.



Figuur 7.8: Differentieel NMOS paar layout volgens basis (a), common-centroid (b), DCC (c)[2]

Figuur 7.8 toont de opbouw van verschillende layout methoden van een differentieel NMOS ingangspaar. Afbeelding 7.8a toont de meest eenvoudige opbouw van het ingangspaar. In afbeelding 7.8b is een tweede mogelijkheid weergegeven voor het plaatsen van de transistoren. Zowel M1 als M2 zijn opgesplitst in 2 paralleltransistoren. Door de 4 transistoren te schikken zoals weergegeven ligt het zwaartepunt van M1 en M2 op dezelfde plaats. Deze techniek wordt ook wel common-centroid genoemd. Het ingangspaar zal op deze manier minder invloed hebben van procesvariaties waardoor een betere matching is gerealiseerd [19]. Afbeelding 7.8c toont de layout volgens de DCC methode. De plaatsing van de transistoren is identiek als bij de common-centroid layout. Enkel liggen nu de drain connecties van M1 en M2 steeds tegen elkaar.

De reden achter deze keuze is dat de drain steeds de meest gevoelige node is voor een SET. De source connectie is namelijk meestal verbonden met GND (of V_{DD} bij PMOS). Omdat de gevoelige nodes van zowel M1 als M2 bij DCC vlak naast elkaar liggen en is de kans groot dat beiden geraakt zullen worden door eenzelfde hoogenergetisch deeltje. Toegepast op schakelaars S_T zal dit als gevolg hebben dat de ladingsinjectie op VCP en VCN ongeveer dezelfde zal zijn. Differentieel zal er dus geen toename zijn zodat het gedrag van de ADC niet wordt beïnvloed.

Zoals eerder besproken is, zonder DCC, het spanningsverschil afkomstig van een SET in schakelaar S_T maximum 1.22mV (voor 100fC). Indien de ADC juist moet blijven werken onder invloed van dergelijke SET's, mag door gebruik van DCC, het differentiele spanningsverschil maximum gelijk zijn aan $300\mu V$ of 0.5LSB. Zo ontstaat volgend verband:

$$\Delta V_{diff} = \left| \frac{Q_{VCP}}{4096C} - \frac{Q_{VCN}}{4096C} \right| \leq 300\mu V \quad (7.7)$$

Uit vergelijking 7.7 volgt dat, indien er op één van de nodes VCP of VCN een ladingsinjectie plaatsvindt van 100fC, er op de andere node minstens 75fC moet worden toegevoegd zodat het differentiele spanningsverschil kleiner blijft dan $300\mu V$. Dit is als gevolg het doel van de DCC layout. Er zal gepoogd worden 75% van de lading in één node ook in de andere node te krijgen. In dat geval is het probleem opgelost en kan de ADC perfect werken onder invloed van SEE's.

Besluit

In deze masterproef werd een ontwerp gerealiseerd van een analoog-digitaal convertor of ADC in 65nm CMOS technologie. De werking van de ADC is gebaseerd op de Successive Approximation Register of SAR techniek welke gebruik maakt van een binair zoekalgoritme voor de analoge ingangswaarde te benaderen. Een volledige uitleg over het ontwerp van de verschillende bouw-blokken is ook beschreven in deze scriptie. De bijhorende simulaties zijn steeds voltooid in de Cadence Spectre simulator en bijgevoegd bij de uitleg. Hierbij zijn 2 nieuwe methoden voorgesteld voor enerzijds het simuleren van de ingangs gerefereerde ruis en anderzijds het simuleren van de niet-lineariteit. Aan het einde van deze scriptie is ook een extra engelstalige paper toegevoegd over de voorgestelde ruis simulatie.

Het finale ontwerp van de ADC behaalt een bemonsteringsfrequentie van 60MHz bij een resolu-tie van 12 bits. Bijkomend heeft de ADC bij deze eigenschappen nog een zeer goede lineariteit. De verschillende knelpunten en oplossingen zijn steeds toegevoegd aan het betreffende hoofdstuk.

Als laatste werd de invloed van ioniserende straling besproken. Hierbij zijn simulaties voltooid voor het bekijken van het gedrag van de ADC onder invloed van Single Event Effects (SEE's). Daarbij zijn mogelijke oplossingen beschreven voor het bestand maken van zowel de analoge als digitale kant van de ADC tegen deze SEE's. Deze oplossingen zijn, door tijdsgebrek, niet toegepast in de eigen SAR ADC.

Bibliografie

- [1] T. Anderson. Optimum Control Logic for Successive Approximation Analog-to-Digital Convertors. In *JPL TECHNICAL REPORT*, pages 168–176, 1972.
- [2] N. Atkinson, R. Blaine, J. Kauppila, S. Armstrong, T. Loveless, N. Hooten, W. Holman, L. Mas-sengill, and J. Warner. RHBD Technique for Single-Event Charge Cancellation in Folded-Cascode Amplifiers. In *IEEE TRANSACTIONS ON NUCLEAR SCIENCE*, volume 60, pages 2756–2761, 2013.
- [3] M. Bhargava, M. McCartney, M. Hoefler, and K. Mai. Low-Overhead, Digital Offset Compensated, RAM Sense Amplifiers. In *IEEE 2009 Custom Intergrated Circuits Conference (CICC)*, pages 705–708, 2009.
- [4] J. Blair. Histogram Measurement of ADC Nonlinearities Using Sine Waves. In *IEEE TRANSACTIONS OF INSTRUMENTATION AND MEASUREMENT*, volume 53, pages 373–383, 1994.
- [5] T. Carusone, D. Johns, and K. Martin. *Analog Integrated Circuit Design*. John Wiley & sons, 2013.
- [6] L. Chen, A. Sanyal, J. Ma, X. Tang, and N. Sun. Comparator Common-Mode Variation Effects Analysis and its Application in SAR ADCs. In *2016 IEEE International Symposium on Circuits and Systems (ISCAS)*, pages 2014–2017, 2016.
- [7] Y. Chen, X. Zhu, M. Kibune, Y. Tomita, T. Hamada, M. Yoshioka, K. Ishikawa, T. Takayama, J. Ogawa, S. Tsukamoto, and T. Kuroda. Split Capacitor DAC Mismatch Calibration in Successive Approximation ADC. In *IEEE 2009 Custom Intergrated Circuits Conference (CICC)*, pages 279–282, 2009.
- [8] J. Doernberg, H. Lee, and D. Hodges. Full-Speed Testing of A/D Convertors. In *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, volume 19, pages 820–827, 1984.
- [9] M. Elzaker, E. van Tuijl, P. Geraedts, D. Schinkel, A. Klumperink, and B. Nauta. A 10-bit Charge-Redistribution ADC Consuming 1.9 μ W at 1 MS/s. In *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, volume 45, 2010.
- [10] B. Ginsburg and A. Chandrakasan. An Energy-Efficient Charge Recycling Approach for a SAR Converter With Capacitive DAC. In *Circuits and Systems, 2005. ISCAS 2005*, pages 184–187, 2005.
- [11] W. Guo and S. Mirabbasi. A Low-Power 10-bit 50-MS/s SAR ADC Using a Parasitic-Compensated Split-Capacitor DAC. In *2012 IEEE International Symposium on Circuits and Systems*, pages 1275–1278, 2012.

- [12] S. Haenzsche, S. Henker, and R. Schüffny. Modelling of Capacitor Mismatch and Non-Linearity Effects in Charge Redistribution SAR ADCs. In *MIXDES 2010, 17th International Conference "Mixed Design of Integrated Circuits and Systems"*, pages 300–305, 2010.
- [13] R. Hedayati. A Study of Successive Approximation Registers and Implementation of an Ultra-Low Power 10-bit SAR ADC in 65nm CMOS Technology. Master thesis, Linköping University, 2011.
- [14] C. Huang, H. Ting, and S. Chang. Analysis of Nonideal Behaviors Based on INL/DNL Plots for SAR ADCs. In *IEEE TRANSACTIONS ON INSTRUMENTATION AND MEASUREMENT*, volume 65, pages 1804 – 1817, 2016.
- [15] S. Kang, Y. Leblebici, and C. Kim. *CMOS Digital Integrated Circuits: Analysis & Design*. McGraw-Hill Education, fourth edition, 2015.
- [16] C. Liu, S. Chang, G. Huang, and Y. Lin. A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure. In *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, volume 45, pages 731–740, 2010.
- [17] K. Lundberg. Analog-to-Digital Convertor Testing. <http://www.mit.edu/people/klund/A2Dtesting.pdf>, 2002.
- [18] S. M., R. Lotfi, K. Mafinezhad, and W. Serdijn. Analysis of Power Consumption and Linearity in Capacitive Digital-to-Analog Converters Used in Successive Approximation ADCs. In *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS*, volume 58, pages 1736–1748, 2011.
- [19] K. Murotatsu and K. Fujiyoshi. Adjacent Common Centroid Placement for Analog IC Layout Design. In *Asia Pacific Conference on Circuits and Systems (APCCAS)*, pages 619–622, 2014.
- [20] P. Nuzzo, F. De Bernardinis, P. Terreni, and G. Van der Plas. Noise Analysis of Regenerative Comparators for Reconfigurable ADC Architectures. In *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS*, volume 55, 2008.
- [21] P. Otfinowski, P. Gryboś, and R. Kleczek. A 10-bit 3MS/s Low-power Charge Redistribution ADC in 180nm CMOS for Neural Application. In *MIXDES 2011, 18th International Conference "Mixed Design of Integrated Circuits and Systems"*, pages 197–200, 2011.
- [22] B. Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill Education, 2001.
- [23] X. She and K. McElvain. Time Multiplexed Triple Modular Redundancy for Single Event Upset Mitigation. In *IEEE TRANSACTIONS ON NUCLEAR SCIENCE*, volume 56, pages 2443–2448, 2009.
- [24] S. Thys. "Ontwerp van een SRAM gebaseerde sensor voor ioniserende straling in 0.18 μ m CMOS-technologie. Master thesis, KU Leuven, 2016.
- [25] D. Toro, F. Seguin, M. Arzel, and M. Jézéquel. Study of a cosmic ray impact on combinatorial logic circuits of an 8bit SAR ADC in 65nm CMOS technology. In *IEEE 56th International Midwest Symposium on Circuits and Systems (MWSCAS)*, pages 241–244, 2013.
- [26] S. Vaseghi. *Advanced Digital Signal Processing and Noise Reduction: Fourth edition*. John Wiley & sons, 2008.

-
- [27] I. Villanueva and A. Lopez-Martin. An Ultra Low Energy 8-bit Charge Redistribution ADC for Wireless Sensors. In *Seventh International Conference of Sensing Technology*, pages 199–202, 2013.
- [28] W. Xu and E. Friedman. Clock Feedthrough in CMOS Analog Transmission Gate Switches. In *15th Annual IEEE International ASIC/SOC Conference*, pages 181–185, 2002.

Beschrijving van deze masterproef in de vorm van een wetenschappelijk artikel

Input-Referred Noise Analysis in Dynamic Latched Comparators

S. Jansen¹, J. Prinzie¹ and P. Leroux¹

¹KU Leuven, Dept. Elektrotechniek ESAT-ADVISE, Kleinhofstraat 4, B-2440 Geel, Belgium

Abstract—Dynamic Latched Comparators are widely used in analog-to-digital convertor applications. Together with the increasing demand for high-resolution ADCs, the design of the comparator introduces a big challenge. The influence of noise introduced by the comparator becomes an important design issue and simulations become difficult due to the high non-linear operation of the comparator. This paper describes a method to analyse the noise generated by the comparator circuit. The input-referred noise will be extracted by means off creating a cumulative distribution function. The method described in this paper is used to design a comparator for a 12-bit 60MS/s SAR ADC for nuclear applications.

Index Terms—Dynamic latched comparator, SAR ADC, Input-referred noise

I. INTRODUCTION

These days many applications use digital signal processing architectures. Therefore, the need for ADCs is increasing rapidly. Because of the demand for high performance, many of these ADCs will use the Successive Approximation Register (SAR) technique. SAR ADCs are used in a wide range of applications because they can achieve a high resolution combined with high speed [1]. Figure 1 shows a typical implementation of a SAR ADC. The use of a fully differential architecture improves the rejection of common mode and supply noise interference. SAR ADCs implement the binary search algorithm. After a sampling phase, the ADC will switch the capacitors in different ways to search the analog input voltage by means of charge redistribution [2],[3].

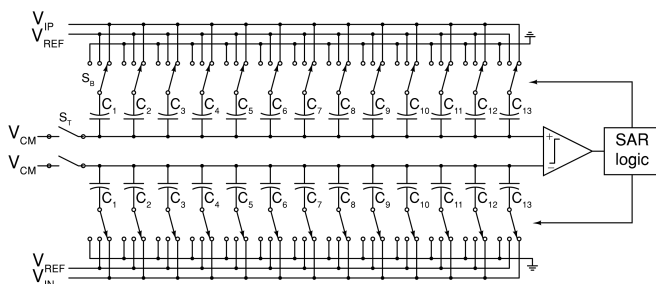


Fig. 1. Differential architecture SAR ADC

The comparator is by far the most critical component of the SAR ADC in terms of noise and speed. In high resolution ADCs they need to be able to distinguish very small input differences. For example, in a 12-bit SAR ADC having an differential input range of 2.4V one LSB corresponds to approximately $600\mu V$. To achieve a decent linear behavior of

the ADC, the comparator needs to be able to distinguish even a small fraction of one LSB which results in very small input voltages. A differential amplifier based comparator would need close to infinite gain to generate a logical output for these small input voltages. Because it is not possible to create infinite gain linear amplifiers they will typically not be used in ADCs.

II. DYNAMIC LATCH BASED COMPARATOR

ADCs commonly use latch based comparator to realise the 'infinite gain'. After a certain period of time, these circuits will always reach a logical output. There are several dynamic latched comparator architectures as discussed in [4],[5]. They may also include a preamplifier as show in figure 2.

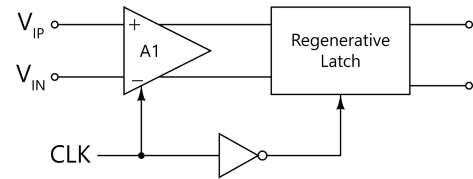


Fig. 2. Dynamic latched comparator

Figure 3 shows the comparator used in this work. It uses a preamplifier and a regenerative latch. Capacitors C_P and C_N are crucial for the operation. Usually they consist only of parasitic capacitors. The dynamic latched comparator operates in two phases, a precharge phase and an evaluation phase. During the precharge phase, when CLK is low, transistors M4 and M5 charge C_P and C_N to V_{DD} . The output nodes of the latch OUT_P and OUT_N are discharged through M6 and M9. If CLK goes high the evaluation phase starts. Capacitors C_P and C_N discharge with a rate proportional to the differential input voltage. If, for example the differential input voltage is positive ($V_{IP} > V_{IN}$) C_N will discharge at a higher rate then C_P .

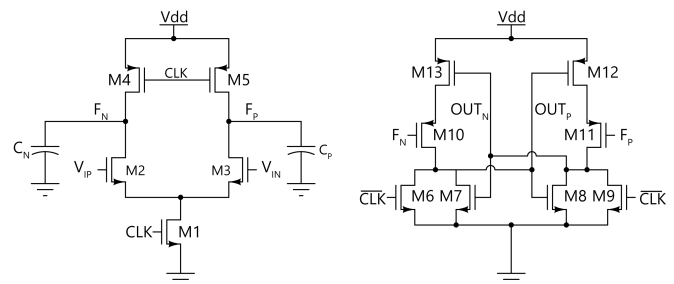


Fig. 3. Two stage comparator; preamplifier (left) and latch (right)

As soon as the voltage at node F_N or F_P drops below the threshold voltage of M10 or M11, one of these will turn on and regenerative feedback is activated in the second stage. After a certain period of time both outputs will gain a logical and opposite value and the comparator will be in its stable condition. Figure 4 shows the transient behavior.

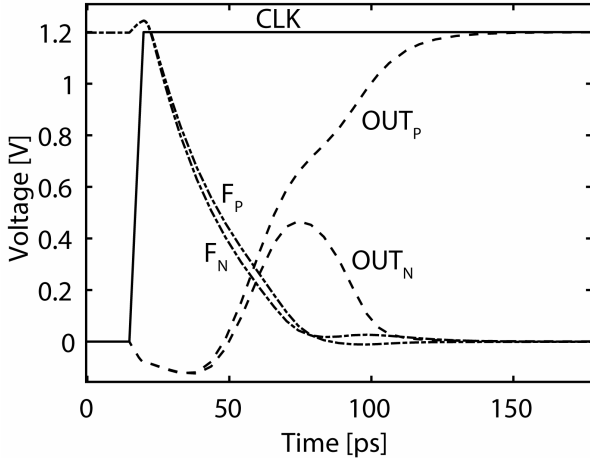


Fig. 4. Transient behavior of two stage comparator

A big advantage is that this comparator circuit is very energy efficient. There is no static power dissipation. The preamplifier only consumes energy while precharging the capacitors C_P and C_N . The amount of energy consumed during the precharge phase is $E = V_{DD}^2(C_N + C_P)$. In the latch stage there will be energy consumed until a logical output is reached. For smaller input voltages the latch stage needs more time to generate a logical output. Therefore, the energy consumption during evaluation phase depends on the input voltage [5].

III. INPUT REFERRED NOISE

Due to demands for high resolutions, the comparator must be able to perfectly distinguish very small input differences. Therefore, noise in the comparator circuit may not affect the decision for these small differences. The optimization of the comparator to achieve low noise leads to some design challenges. To make a good comparison between different comparators, a designer is interested in the input referred noise. This is the equivalent noise of the comparator circuit at the input of a noiseless comparator as shown in figure 5.

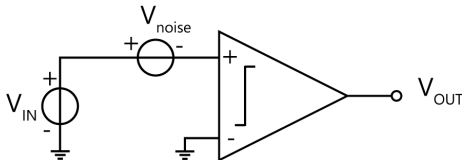


Fig. 5. Input referred noise

A. Increase of noise

The added noise due to the comparator σ_{nc} circuit should not affect the ADC behavior significantly. The signal-to-quantisation noise (SNQR) for a 12-bit ADC is 74dB [6]. This

value should not reduce significantly when taking in account the noise due to the comparator. The quantisation noise for an ADC is $\sigma_{nq} = LSB/\sqrt{12}$. When adding the noise the total noise can be calculated as the vectorsum of both quantisation and circuit noise:

$$\sigma_{tot} = \sqrt{\sigma_{nc}^2 + \sigma_{nq}^2} \quad (1)$$

The increase of noise power should be low if not to affect the total SNR significantly. Equation 2 shows this increase of noise power due to the comparator circuit. For example, if the circuit noise is half the quantisation noise equations 1 and 2 result in an increase of noise power of approximately 1dB. This will hardly affect the SNR causing it to be a good target value in the comparator design.

$$20 \log(\sigma_{tot}) - 20 \log(\sigma_{nq}) = 20 \log\left(\frac{\sigma_{tot}}{\sigma_{nq}}\right) \quad (2)$$

B. Noise analysis

In linear amplifiers there is an easy way to determine the input referred noise. By simply shorting the input, only noise will be visible at the output. To refer this to the input it should be divided by the circuit gain.

$$\overline{v_{n,in}^2} = \frac{\overline{v_{n,out}^2} \Big|_{shorted\ input}}{|A_v|^2} \quad (3)$$

However, this is not true with dynamic latched comparators. The output will always reach a logical state such that the influence of noise is not directly visible and the output is proportional to the integrated current noise during switching. Therefore, this paper introduces a different approach to measure the statistical properties of the input referred noise. This approach includes probability calculations by means of a cumulative distribution function as described in the following section.

IV. NOISE ANALYSIS IN DYNAMIC LATCHED COMPARATORS

The method as proposed in this paper begins by constructing a cumulative distribution function (CDF). Following explanation proves that the CDF $P(V_{noise} \leq V_{IN})$, which holds information about the statistical properties of the noise, can be found by measuring the probability of a high comparator output.

A. Cumulative distributionfunction

In the setup of figure 5 the output will be high if the differential comparator input is positive such that $V_+ > V_-$ or:

$$V_{IN} - V_{noise} \geq 0 \rightarrow V_{noise} \leq V_{IN} \quad (4)$$

In this case, the probability of a high output $P(OUT = 1)$ is equal to the probability $P(V_{IN} - V_{noise} \geq 0)$ which translates to the probability that the noise voltage is lower than the input voltage:

$$P(V_{noise} \leq V_{IN}) \quad (5)$$

Equation 5 is also the definition of a CDF for V_{noise} . This proves that, by measuring the probability of a high output, it is possible to construct a CDF which holds statistical information about the input referred noise. To measure the probability of a high output, multiple simulations must be done with different noise representations. The simulations for this paper used 1000 different representations to get a decent indication of this probability. By varying the differential input voltage and measuring this probability of a high output the full CDF can be constructed.

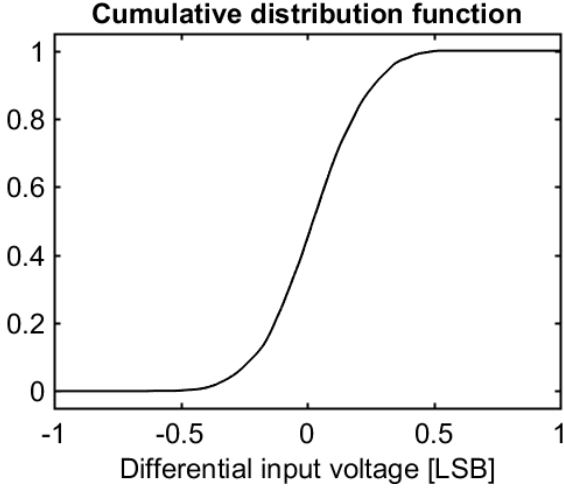


Fig. 6. Cumulative distribution function

Figure 6 shows an example of a CDF for the two stage comparator which was discussed in section II. Although the CDF gives a slight indication about the noise influence, it is not directly possible to extract the statistical properties. Therefore, the CDF needs to be translated to the probability density function (PDF).

B. Probability density function

The probability density function (PDF) gives all the information needed to extract the statistical properties of the noise. But first, the CDF needs to be translated to this PDF. The PDF is given by the probability $P(V_{noise} = V_{IN})$ as the CDF is given by the probability $P(V_{noise} \leq V_{IN})$. As shown in figure 7, the area under the PDF curve is also given by $P(V_{noise} \leq V_{IN})$. This means that the CDF is the integrated version of the PDF. In this case, by deriving the CDF the PDF can be constructed. The dots in Figure 7 show the derivative of the CDF from figure 6 and thus the probability:

$$P(V_{noise} = V_{IN}) \quad (6)$$

At input values close to 0V the noise will dominate and the decision will be as random as the noise. In ADCs this will only occur when sampling an input voltage very close to the transition between two consecutive output codes.

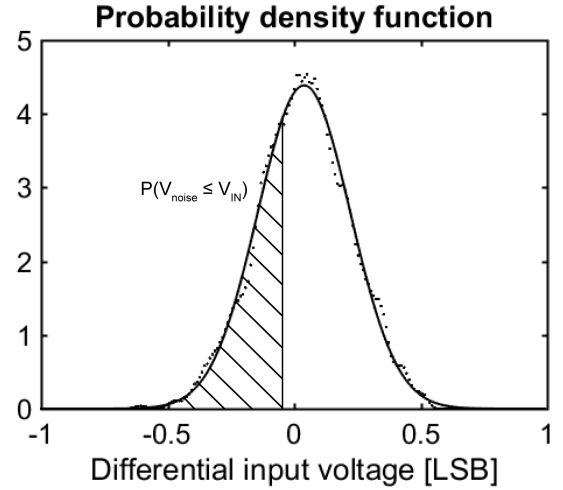


Fig. 7. Probability density function

C. Noise variance

In probability theory and statistics, the variance of a random variable X is defined the expected value of the square deviation from the mean of X . Equation 7 shows this definition. The value of $E[X^2]$ gives an indication of the total power of X whereas $E[X]^2$ gives an indication about its DC power.

$$\sigma_X^2 = E[(X - \mu)^2] = E[X^2] + E[X]^2 \quad (7)$$

If X is a zero-mean variable, the latter is negligible and the variance will only give an indication about the total power as shown in equation 8 [7].

$$\sigma_X^2 = E[X^2] = \lim_{T \rightarrow \infty} \frac{1}{T} \int_{-T/2}^{+T/2} x^2(t) dt \quad (8)$$

By using the definition of variance in probability theory the noise variance can be extracted from the PDF as follows:

$$\sigma_{noise}^2 = \sum_{i=1}^n p_i \cdot (x_i - \mu)^2 \quad (9)$$

With p_i the probability that the noise value is equal to the differential input voltage x_i as described in equation 6. With this relation its also possible to determine the standard deviation as the square root of the variance.

$$\sigma_{noise} = \sqrt{\sigma_{noise}^2} = \sqrt{\sum_{i=1}^n p_i \cdot (x_i - \mu)^2} \quad (10)$$

D. Noise optimization

With the proposed method the noise can be optimized to reach the target value discussed in section III-A. If the results show that the noise influence is too high the transistor widths could be adjusted to meet the design specifications. By increasing the transistor widths more current will flow. Because the noise will not increase equivalent, its influence will lower.

$$I \sim W, I_{noise} \sim \sqrt{W} \quad (11)$$

However, by increasing the transistor widths all nodes will hold a higher capacity which results in an increase of power dissipation. For ADC applications the target value of the noise is given in section III-A. Lowering the noise below this value will only result in higher power dissipation without increasing the SNR significantly and should therefore be avoided.

V. CONCLUSION

This work presents a flexible method for the simulation and optimization of input-referred noise of highly non-linear regenerative comparators. By means of probability calculations it is possible to extract the statistical properties of input-referred noise. Simulating the probability of a high-comparator output at different input voltages will result in a cumulative distribution function. Deriving this function will create a probability density function which holds information about the statistical properties. By simply applying the definition of variance and standard deviation these parameters can be calculated from the probability density function. Therefore, a dynamic latched comparator can be easily simulated and optimized for noise.

The comparator designed in this paper is actually implemented for an 12-bit SAR ADC application.

REFERENCES

- [1] H. Huang, L. Du, and title = A 1.2-GS/s 8-bit Two-Step SAR ADC in 65-nm CMOS With Passive Residue Transfer booktitle = Chiu, Y.
- [2] C. Liu, S. Chang, G. Huang, and Y. Lin. A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure. In *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, volume 45, pages 731–740, 2010.
- [3] I. Villanueva and A. Lopez-Martin. An Ultra Low Energy 8-bit Charge Redistribution ADC for Wireless Sensors. In *Seventh International Conference on Sensing Technology*, pages 198–202, 2013.
- [4] L. Chen, A. Sanyal, J. Ma, X. Tang, and N. Sun. Comparator Common-Mode Variation Effects Analysis and its Application in SAR ADCs. In *2016 IEEE International Symposium on Circuits and Systems (ISCAS)*, pages 2014–2017, 2016.
- [5] M. Elzakker, E. van Tuijl, P. Geraedts, D. Schinkel, A. Klumperink, and B. Nauta. A 10-bit Charge-Redistribution ADC Consuming 1.9 μ W at 1 MS/s. In *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, volume 45, 2010.
- [6] K. Lundberg. Analog-to-Digital Converter Testing. <http://www.mit.edu/people/klund/A2Dtesting.pdf>, 2002.
- [7] B. Razavi. Noise. In *Design of Analog CMOS Integrated Circuits*, chapter 7, pages 201–239. McGraw-Hill Education, 2001.

FACULTEIT INDUSTRIELE INGENIEURSWETENSCHAPPEN
TECHNOLOGIECAMPUS GEEL
Kleinhoefstraat 4
2440 GEEL, België
tel. + 32 14 56 23 10
fax + 32 14 58 48 59
iiw.geel@kuleuven.be
www.iiv.kuleuven.be

